

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4405577号
(P4405577)

(45) 発行日 平成22年1月27日(2010.1.27)

(24) 登録日 平成21年11月13日(2009.11.13)

(51) Int.Cl.		F I		
G06F	1/32	(2006.01)	G06F	1/00 332Z
G06F	3/06	(2006.01)	G06F	3/06
H04L	29/00	(2006.01)	H04L	13/00 T

請求項の数 8 (全 19 頁)

(21) 出願番号	特願2009-9231 (P2009-9231)	(73) 特許権者	000003078
(22) 出願日	平成21年1月19日 (2009.1.19)		株式会社東芝
(62) 分割の表示	特願2003-310361 (P2003-310361) の分割		東京都港区芝浦一丁目1番1号
原出願日	平成15年9月2日 (2003.9.2)	(74) 代理人	100058479
(65) 公開番号	特開2009-93679 (P2009-93679A)		弁理士 鈴江 武彦
(43) 公開日	平成21年4月30日 (2009.4.30)	(74) 代理人	100108855
審査請求日	平成21年1月19日 (2009.1.19)		弁理士 蔵田 昌俊
早期審査対象出願		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 シリアル A T A インタフェースを持つ電子機器

(57) 【特許請求の範囲】

【請求項 1】

ホストとシリアル A T A バスを介して接続される、シリアル A T A インタフェースを持つ電子機器において、

前記電子機器がリード/ライトモードに遷移された場合、前記シリアル A T A インタフェースを前記リード/ライトモードに対応付けられたアイドルモードに遷移させ、前記電子機器が前記リード/ライトモードから第 1 のパワーセーブモードに遷移された場合、前記シリアル A T A インタフェースを前記第 1 のパワーセーブモードに対応付けられたバースタルモードに遷移させる遷移手段と、

前記電子機器が前記第 1 のパワーセーブモードに遷移された場合に第 1 の時間を計測し、前記電子機器が前記第 1 のパワーセーブモードから前記第 1 のパワーセーブモードよりも消費電力が低い第 2 のパワーセーブモードに遷移された場合に第 2 の時間を計測する計測手段とを具備し、

前記遷移手段は、前記第 1 の時間が計測されているときに前記ホストからコマンドが送られなかった場合、前記電子機器を前記第 2 のパワーセーブモードに遷移させ、前記第 2 の時間が計測されているときに前記ホストからコマンドが送られなかった場合、前記電子機器を前記第 2 のパワーセーブモードよりも消費電力が低い第 3 のパワーセーブモードに遷移させ、且つ前記シリアル A T A インタフェースを前記第 3 のパワーセーブモードに対応付けられたスランパモードに遷移させる

ことを特徴とする シリアル A T A インタフェースを持つ電子機器。

10

20

【請求項 2】

前記ホストから送られるリード/ライトコマンドを受信する受信手段を更に具備し、
前記遷移手段は、前記電子機器が前記第 1 乃至第 3 のパワーセーブモードを含む複数の
パワーセーブモードの 1 つに設定されている状態で前記リード/ライトコマンドが受信さ
れた場合、前記電子機器を前記リード/ライトモードに遷移させる

ことを特徴とする請求項 1 記載の シリアル A T A インタフェースを持つ電子機器。

【請求項 3】

前記電子機器はディスクドライブを備える

ことを特徴とする請求項 1 または 2 に記載の シリアル A T A インタフェースを持つ電子
機器。

10

【請求項 4】

ホストとシリアル A T A バスを介して接続される、シリアル A T A インタフェースを持
つ電子機器に設けられるコントローラにおいて、

前記電子機器がリード/ライトモードに遷移された場合、前記シリアル A T A インタフ
ェースを前記リード/ライトモードに対応付けられたアイドルモードに遷移させ、前記電
子機器が前記リード/ライトモードから第 1 のパワーセーブモードに遷移された場合、前
記シリアル A T A インタフェースを前記第 1 のパワーセーブモードに対応付けられたパー
シャルモードに遷移させる遷移手段と、

前記電子機器が前記第 1 のパワーセーブモードに遷移された場合に第 1 の時間を計測し
、前記電子機器が前記第 1 のパワーセーブモードから前記第 1 のパワーセーブモードより
も消費電力が低い第 2 のパワーセーブモードに遷移された場合に第 2 の時間を計測する計
測手段とを具備し、

20

前記遷移手段は、前記第 1 の時間が計測されているときに前記ホストからコマンドが送
られなかった場合、前記電子機器を前記第 2 のパワーセーブモードに遷移させ、前記第 2
の時間が計測されているときに前記ホストからコマンドが送られなかった場合、前記電
子機器を前記第 2 のパワーセーブモードよりも消費電力が低い第 3 のパワーセーブモードに
遷移させ、且つ前記シリアル A T A インタフェースを前記第 3 のパワーセーブモードに対
応付けられたスランパモードに遷移させる

ことを特徴とするコントローラ。

【請求項 5】

30

前記ホストから送られるリード/ライトコマンドを受信する受信手段を更に具備し、

前記遷移手段は、前記電子機器が前記第 1 乃至第 3 のパワーセーブモードを含む複数の
パワーセーブモードの 1 つに設定されている状態で前記リード/ライトコマンドが受信さ
れた場合、前記電子機器を前記リード/ライトモードに遷移させる

ことを特徴とする請求項 4 記載のコントローラ。

【請求項 6】

前記請求項 1 乃至 3 に記載の電子機器の少なくともいずれか 1 つと、

前記電子機器を利用するホストと、

前記電子機器と前記ホストが接続されるシリアル A T A バスと

を具備することを特徴とする情報機器。

40

【請求項 7】

ホストとシリアル A T A バスを介して接続される、シリアル A T A インタフェースを持
つ電子機器におけるシリアル A T A バスのパワーセーブ方法であって、

前記電子機器がリード/ライトモードに遷移される場合に前記シリアル A T A インタフ
ェースを前記リード/ライトモードに対応付けられたアイドルモードに遷移するステップ
と、

前記電子機器が前記リード/ライトモードから第 1 のパワーセーブモードに遷移された
場合、前記シリアル A T A インタフェースを前記第 1 のパワーセーブモードに対応付けら
れたパーシャルモードに遷移するステップと、

前記電子機器が前記第 1 のパワーセーブモードに遷移された場合に第 1 の時間を計測す

50

るステップと、

前記第 1 の時間が計測されているときに前記ホストからコマンドが送られなかった場合、前記電子機器を前記第 1 のパワーセーブモードよりも消費電力が低い第 2 のパワーセーブモードに遷移するステップと、

前記電子機器が前記第 2 のパワーセーブモードに遷移された場合に第 2 の時間を計測するステップと、

前記第 2 の時間が計測されているときに前記ホストからコマンドが送られなかった場合、前記電子機器を前記第 2 のパワーセーブモードよりも消費電力が低い第 3 のパワーセーブモードに遷移するステップと、

前記電子機器が前記第 3 のパワーセーブモードに遷移された場合、前記シリアル A T A インタフェースを前記第 3 のパワーセーブモードに対応付けられたスランバモードに遷移するステップと、

を具備することを特徴とするシリアル A T A バスのパワーセーブ方法。

【請求項 8】

前記ホストから送られるリード/ライトコマンドを受信するステップと、

前記電子機器が前記第 1 乃至第 3 のパワーセーブモードを含む複数のパワーセーブモードの 1 つに設定されている状態で前記リード/ライトコマンドが受信された場合、前記電子機器を前記リード/ライトモードに遷移するステップと

を更に具備することを特徴とする請求項 7 記載のシリアル A T A バスのパワーセーブ方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリアル A T A (AT Attachment) インタフェースを持つ電子機器に係り、特にシリアル A T A インタフェースの規格に準拠したシリアル A T A バスのパワーセーブに好適な、ディスクドライブに代表される電子機器に関する。

【背景技術】

【0002】

現在、ディスクドライブの新インタフェースであるシリアル A T A インタフェースの規格が策定中である。シリアル A T A インタフェースは、従来の A T A インタフェース(つまりパラレル A T A インタフェース)と同様に、磁気ディスクドライブに代表される周辺機器とホストシステム(ホスト)との間のインタフェースとして用いられる。

【0003】

シリアル A T A インタフェースを持つ周辺機器、例えば磁気ディスクドライブ(以下、HDD と称する)は、ホストとシリアル A T A バスにより接続される。このような HDD では、従来の A T A インタフェースとの互換性を確保するために、従来の A T A インタフェースをシリアル A T A インタフェースに、そしてシリアル A T A インタフェースを従来の A T A インタフェースに、それぞれ変換する必要がある。このようなインタフェース変換は、例えばシリアル A T A ブリッジと呼ばれる L S I (ブリッジ L S I)で行われる。

【0004】

シリアル A T A 規格では、機能別に 3 つの層、つまり P H Y (Physical Layer) 層(物理層)、L I N K 層(リンク層)及びトランスポート(Transport)層が定義されている。P H Y 層は高速の信号送受信を実行する機能を持つ部分であり、受信内容を解釈して L I N K 層に伝達し、また L I N K 層からの要求に応じて信号の出力を実施する。L I N K 層は T r a n s p o r t 層(トランスポート層)からの要求内容に応じて P H Y 層に信号出力の要求を出し、また P H Y 層からの受信入力を T r a n s p o r t 層へ伝達する。T r a n s p o r t 層は従来の A T A 規格における動作への変換を行う。この T r a n s p o r t 層の役割は、従来の A T A 接続の場合と比較すると、ブリッジ L S I が磁気ディスクドライブに用いられたとき、ホスト側の A T A 信号出力を行う部分に相当する。このブリッジ L S I と HDD 内のディスクコントローラ(HDC)との間は、従来の A T A イン

10

20

30

40

50

タフェース規格に準拠したATAバス（またはそれに準じたバス）で接続される。このためブリッジLSIとHDD内のHDCとの間の接続部分は、従来のATAインタフェース規格と同等の、またはそれに準じた動作となる。このように、シリアルATAインタフェースにおいては、論理的コマンド等のプロトコルについては従来のATA規格との互換性を有する一方、従来平行で接続されていた部分がシリアル信号に変換される。

【0005】

シリアルATAインタフェースでは、従来のATAインタフェース（つまり平行ATAインタフェース）の規格に準拠したパワーセーブの状態（モード）の他に、周辺機器とホストとを接続するシリアルATAバス自体を対象としてパワーセーブする状態が定義されている。このシリアルATAバス自体のパワーをセーブするという概念は従来のATA規格では存在しない。

10

【0006】

シリアルATAインタフェースの規格では、シリアルATAインタフェースの電力管理モードとして、“PHY READY (IDLE)”、“PARTIAL (パーシャル)”及び“SLUMBER (スランバ)”の3種類が定義されている。“PHY READY”モードとは、PHY層の動作を実現する回路（PHY回路）と主PLL（Phase-Locked Loop）回路とが動作し、ホスト側及び周辺機器側の各々のインタフェース状態が同期している状態をいう。“PARTIAL”及び“SLUMBER”モードとは、PHY回路は動作しているが、インタフェース信号は中立になっている状態をいう。

20

【0007】

“PARTIAL”及び“SLUMBER”モードの定義上の違いは、それらのモードから“PHY READY (IDLE)”モードへの復帰時間にある。即ち、“PARTIAL”モードでは、当該モードからの復帰時間は10 μ sを超えてはならないと定義されている。これに対し、“SLUMBER”モードでは、当該モードからの復帰時間は10msを超えてはならないと定義されている。“PARTIAL”または“SLUMBER”モードで、機器内のどの部分の省電力機能を動作させるか（つまり、どの回路の電源を遮断するか）は、復帰時間、インタフェースの電源状態を遵守している限り製造者側で任意に規定できる。

【0008】

従来のATAインタフェース規格に準拠したパワーセーブ（つまりATAパワーセーブ）の状態への遷移は、基本的には、ホスト側の主導により実現される。このATAパワーセーブの状態として、“IDLE (アイドル)”、“STANDBY (スタンバイ)”及び“SLEEP (スリープ)”等が定義されている。これに対し、シリアルATAインタフェース規格に準拠したシリアルATAバス自体のパワーセーブ（つまりシリアルATAパワーセーブ）の状態（“PARTIAL”または“SLUMBER”）への遷移は、ホスト側または周辺機器側のどちらの主導によって実現されても構わない。しかし、シリアルATAパワーセーブの状態を制御する技術（特にATAパワーセーブの状態にシリアルATAパワーセーブの状態を連携させる技術）に関しては、シリアルATAインタフェースの規格が策定中であることから、従来は何も知られておらず、文献も存在しない。

30

【発明の概要】

40

【発明が解決しようとする課題】

【0009】

上記したように、HDDのインタフェースにシリアルATAインタフェースを適用して当該HDDをシリアルATAバスによりホストと接続する場合、HDDには、従来のATAインタフェースをシリアルATAインタフェースに変換するシリアルATAインタフェース制御回路（シリアルATAブリッジ）を設ける必要がある。このようなHDDでは、シリアルATAインタフェース制御回路とHDDのディスクコントローラ（HDC）との接続部分の動作は、従来のATAインタフェース規格と同等、またはそれに準じた動作となる。このため、ディスクコントローラからは、シリアルATAブリッジが、命令を発行するホストであるかのように認識される。よって、HDDにおけるシリアルATAブ

50

リッジ周辺を除く部分の動作は従来のHDDと変わらない。このシリアルATAインタフェースを適用するHDDでは、シリアルATAインタフェース制御回路とディスクコントローラ(HDC)とを接続する従来のATAバスは、当該HDDにおける印刷配線基板(PCB)上に実現可能であることから、ATAバスの配線長が短縮される。このため、シリアルATAインタフェースを適用するHDDでは、従来のATAバスで実現が難しかったデータ転送速度の向上が期待される。

【0010】

さて、シリアルATAインタフェースは、従来のATA規格との互換性を確保することを前提として検討されている規格である。このため、シリアルATAインタフェースで規定されている新たなパワーセーブの概念を実現するには、その旨の指示を行うための新たな手段をホスト側に設ける必要がある。しかし、新たな手段を適用することにより、従来のATA規格から逸脱する虞がある。特に、新たな手段をホスト側に設けることはシステム全体への影響が大きい。

10

【0011】

本発明は上記事情を考慮してなされたものでその目的は、シリアルATA規格で定義されたシリアルATAバスのパワーセーブ機能を有効に活用して消費電力を低減できる、シリアルATAインタフェースを持つ電子機器を提供することにある。

【課題を解決するための手段】

【0012】

本発明の1つの観点によれば、シリアルATAインタフェースを持つ電子機器が提供される。この電子機器は、予め定められたコマンドの発行または受信を検知する手段と、この検知手段によって検知されたコマンドの実行完了を確認する手段と、この確認手段によるコマンド実行完了確認に応じてシリアルATAインタフェースのパワーセーブモードに移行する制御を行う手段とを備えることを特徴とする。

20

【0013】

このような構成の電子機器においては、予め定められたコマンドの発行または受信が検知された場合に、当該コマンドの実行完了が確認されたことに応じて、シリアルATAインタフェース(シリアルATAバス)のパワーセーブモードへの移行が制御される。これにより、上記予め定められたコマンドとして、例えばATAインタフェースのパワーセーブ系のコマンドであるスリープコマンドのように、リード/ライトモードへの復帰に時間がかかるコマンドが定義されるならば、当該コマンドの発行または受信が検知された場合に、シリアルATAバスもパワーセーブモードに移行される。この結果、消費電力を低減できる。つまり本発明によれば、シリアルATA規格で定義されたシリアルATAバスのパワーセーブ機能を、従来のATA規格との互換性を維持しながら有効に活用して消費電力を低減できる。

30

【0014】

ここで、シリアルATAインタフェースのパワーセーブモードへの移行制御を、シリアルATAインタフェースとATAインタフェースとの間のインタフェース変換を行うシリアルATAインタフェース制御回路で自律的に行わせることも可能である。そのため、シリアルATAインタフェース制御回路に、次の各手段、即ちインタフェース変換の対象となるコマンドの受信に応じてシリアルATAインタフェースのアイドルモードに移行する毎に予め設定された一定時間を計測するための時間計測を開始する計測手段と、この計測手段により上記一定時間が計測されても新たなコマンドが受信されなかった場合に、シリアルATAインタフェースの所定のパワーセーブモードに移行する手段とを持たせると良い。

40

【0015】

また、上記電子機器がホストとシリアルATAバスを介して接続されるディスクドライブである場合には、当該ディスクドライブに、次の各手段、即ちホストからのコマンドの実行完了を当該コマンドの発行元に報告するための手段と、この報告手段による予め定められたコマンドの実行完了報告後にシリアルATAインタフェースのパワーセーブモード

50

に移行する制御を行う手段とを持たせると良い。また、予め定められたコマンドとして、ＡＴＡインタフェースのパワーセーブ系のコマンドを定義するならば、シリアルＡＴＡ規格で定義されたシリアルＡＴＡバスのパワーセーブ機能を、従来のＡＴＡ規格との互換性を維持しながら有効に活用して、ディスクドライブでの消費電力を低減できる。このため、上記ディスクドライブを記憶装置として用いるホスト、例えば電池で駆動されるノートブック型のパーソナルコンピュータの稼働可能時間を延ばすことができる。

【００１６】

さて、上記予め定められたコマンドの実行完了報告後にシリアルＡＴＡインタフェースのパワーセーブモードに直ちに移行すると、その移行直後にホストからコマンドが発行された場合、リード／ライトコマンドが実行可能なリード／ライトモード（アクティブモード）に復帰（遷移）するのに時間を要する。例えば、スピンドルモータが完全に停止したかをディスクドライブに問い合わせるのに用いられるチェックパワーモードコマンドは、ＡＴＡインタフェースのパワーセーブ系のコマンドの実行完了報告直後に発行される可能性が高い。そこで、コマンドの実行完了報告後、ホストからのコマンドの受信頻度から決定される時間が経過するのを待ってシリアルＡＴＡインタフェースのパワーセーブモードに移行する構成とすると良い。この受信頻度は、ホストからのコマンドの受信時刻を表す受信時刻情報を記憶手段に記憶し、当該記憶手段に記憶されている受信時刻情報によって示されるコマンド受信時刻の系列から算出すれば良い。

【００１７】

また、シリアルＡＴＡインタフェースのパワーセーブモードに移行可能とするためには、ディスクドライブ側だけでなくホスト側でもシリアルＡＴＡインタフェースのパワーセーブ機能をサポートしている必要がある。そこで上記ディスクドライブに、上記制御手段によるシリアルＡＴＡインタフェースのパワーセーブモードへの移行制御の結果をもとに、ホスト側が当該シリアルＡＴＡインタフェースのパワーセーブ機能をサポートしているか否かを判定する手段と、この判定手段による判定結果を示すフラグ情報を記憶する手段とを追加し、上記フラグ情報によりホスト側がシリアルＡＴＡインタフェースのパワーセーブ機能をサポートしていないことが示されている場合、当該シリアルＡＴＡインタフェースのパワーセーブモードへの移行制御が抑止される構成とすると良い。このような構成においては、ホスト側がシリアルＡＴＡインタフェースのパワーセーブ機能をサポートしていないにも拘わらずに、ディスクドライブ側から無用なシリアルＡＴＡインタフェースのパワーセーブモードへの移行制御が行われるのを防止できる。これにより、シリアルＡＴＡバスでの無駄な状態遷移を発生させず当該シリアルＡＴＡバスを安定した状態に保つことができる。

【発明の効果】

【００１８】

本発明によれば、予め定められたコマンドの発行または受信が検知された場合に、当該コマンドの実行完了が確認されたことに応じて、シリアルＡＴＡインタフェース（シリアルＡＴＡバス）のパワーセーブモードへの移行が制御される構成とすることにより、シリアルＡＴＡ規格で定義されたシリアルＡＴＡバスのパワーセーブ機能を有効に活用して消費電力を低減できる。

【図面の簡単な説明】

【００１９】

【図１】本発明の一実施形態に係る磁気ディスクドライブ（ＨＤＤ）１０を備えたシステムの構成を示すブロック図。

【図２】図１中のＨＤＤ１０に含まれているＨＤＤ本体１１の構成を示すブロック図。

【図３】同実施形態で適用されるＡＴＡパワーセーブモードの状態遷移を示す図。

【図４】図３中の各ＡＴＡパワーセーブモードと当該各ＡＴＡパワーセーブモードにおけるＨＤＤ本体１１内の各回路の電源ＯＦＦ状態との対応関係を示す図。

【図５】図３中の各ＡＴＡパワーセーブモード（Ｍ１～Ｍ５）からリード／ライトモードＭ０に復帰するのに要する時間の一例を示す図。

【図6】図3中の各ATAパワーセーブモードと、HDD10が当該モードに設定された場合に設定されるSATAパワーセーブモードとの関係を示す図。

【図7】HDD10内のHDD本体11においてホスト20からのコマンドを受信した場合に行われるパワー制御の手順を示すフローチャート。

【図8】同実施形態の変形例で適用されるSATAパワーセーブモードの状態遷移を示す図。

【発明を実施するための形態】

【0020】

以下、本発明をシリアルATAインタフェース（以下、SATAインタフェースと称する）を持つ磁気ディスクドライブを備えたシステムに適用した一実施形態につき図面を参照して説明する。図1は本発明の一実施形態に係る磁気ディスクドライブ（以下、HDDと称する）10を備えたシステムの構成を示すブロック図である。HDD10は、従来から知られている、ATAインタフェースを用いてパラレルデータ転送を行うHDDの構成であるHDD本体11に加えて、SATAインタフェース制御回路12を備えている。SATAインタフェース制御回路12は、HDD本体11とATAバス（パラレルATAバス）13を介して接続されると共に、ホスト（ホストシステム）20とSATAバス（シリアルATAバス）30を介して接続される周辺機器用のSATAブリッジである。SATAインタフェース制御回路12は、ATAインタフェースとSATAインタフェースとの間のインタフェース変換を行う例えば1チップのLSI（Large Scale Integrated Circuit）である。SATAインタフェース制御回路12は特に、SATAバス30を介して与えられた指示をATAバス13（ATAインタフェース）の信号規則に変換し、当該ATAバス13を介してHDD本体11に送信する機能を有する。

【0021】

ホスト20はHDD10を記憶装置として利用する電子機器であり、例えばパーソナルコンピュータである。ホスト20は、従来から知られている、ATAインタフェースを用いてパラレルデータ転送を行うホストの構成であるホスト本体21に加えて、SATAインタフェース制御回路22を備えている。SATAインタフェース制御回路22は、ホスト本体21とATAバス（パラレルATAバス）23を介して接続されると共に、HDD10とSATAバス（シリアルATAバス）30を介して接続される、ATAバス接続のホスト型ブリッジである。SATAインタフェース制御回路22は、HDD10内のSATAインタフェース制御回路12と同様に、ATAインタフェースとSATAインタフェースとの間のインタフェース変換を行う1チップのLSIである。SATAインタフェース制御回路22は特に、ホスト20側のATAバス23を介して与えられた指示をSATAバス30（SATAインタフェース）の信号規則に変換し、当該SATAバス30を介してHDD10に送信する機能を有する。

【0022】

SATAインタフェース制御回路12, 22は、それぞれ、物理層処理部121, 221と、リンク/トランスポート層処理部122, 222とを備えている。物理層処理部121, 221は、SATAバス30を介して高速のシリアルデータ転送（送受信）を実行する機能を有する。ここでのデータ転送速度は、1.5Gbps（ギガビット/秒）である。物理層処理部121, 221は、SATAバス30から受信した内容を解釈してリンク/トランスポート層処理部122, 222（中のリンク層処理部）に伝達する。また物理層処理部121, 221は、リンク/トランスポート層処理部122, 222（中のリンク層処理部）からの要求に応じてシリアルデータ信号を出力（送信）する。リンク/トランスポート層処理部122, 222は、リンク層処理部とトランスポート層処理部（図示せず）とを備えている。リンク層処理部は、トランスポート層処理部からの要求内容に応じて物理層処理部121, 221に信号出力の要求を出し、また物理層処理部121, 221からの受信入力をトランスポート層処理部へ伝達する。トランスポート層処理部はATAインタフェースとSATAインタフェースとの間のインタフェース変換を行う。

【0023】

なお、A T Aバス13, 23に代えて、当該A T Aバスに準じたバス、例えばP C Iバス(Peripheral Component Interconnect Bus)を用いることも可能である。この場合、S A T Aインタフェース制御回路12, 22(を構成するS A T Aブリッジ)をP C Iブリッジ内に設けることが可能である。また、S A T Aインタフェース制御回路12, 22(を構成するS A T Aブリッジ)には、S A T Aバス30との間でシリアルA T Aインタフェースの信号を送受信する機能を持たせれば良い。

【0024】

図2は、図1中のH D D本体11の構成を示すブロック図である。H D D本体11は、記録媒体としてのディスク111を備えている。このディスク111の2つのディスク面の少なくとも一方のディスク面は、データが磁気記録される記録面をなしている。この記録面をなす、ディスク111の一方のディスク面に対応して、ヘッド(磁気ヘッド)112が配置されている。なお、図1では、作図の都合上、ヘッド112が1つであるH D D10の例が示されている。しかし、一般には、ディスク111の2つのディスク面が共に記録面をなしており、各々のディスク面に対応してヘッドが配置される。また図1の構成では、単一枚のディスク111を備えたH D D10を想定している。しかし、ディスク111が複数枚積層配置されたH D Dであっても構わない。

【0025】

ディスク111はスピンドルモータ(以下、S P Mと称する)113により高速に回転させられる。ヘッド112は、ディスク111へのデータ書き込み(データ記録)及びディスク111からのデータ読み出し(データ再生)に用いられる。ヘッド112は、アクチュエータ114の先端に取り付けられている。アクチュエータ114は、当該アクチュエータ114の駆動源となるボイスコイルモータ(以下、V C Mと称する)115を有している。アクチュエータ114は、このV C M115により駆動されて、ヘッド112をディスク111の半径方向に移動する。これにより、ヘッド112は、目標トラック上に位置付けられる。S P M113及びV C M115は、モータドライバI C116からそれぞれ供給される駆動電流(S P M電流及びV C M電流)により駆動される。モータドライバI C116は、C P U121から指定された量のS P M電流をS P M113に対して供給する。またモータドライバI C116は、C P U121から指定された量のV C M電流をV C M115に対して供給する。

【0026】

ヘッド112はヘッドI C(ヘッドアンプ回路)117と接続されている。ヘッドI C117はヘッド112により読み出されたリード信号を増幅するリードアンプ、及びライトデータをライト電流に変換するライトアンプを含む。ヘッドI C117は、リード/ライトI C(リード/ライトチャネル)118と接続されている。リード/ライトI C118は、リード信号に対するA / D(アナログ/デジタル)変換処理、ライトデータの符号化処理及びリードデータの復号化処理等の各種の信号処理を実行する信号処理デバイスである。リード/ライトI C118はディスクコントローラ(以下、H D Cと称する)119と接続されている。

【0027】

H D C119は当該H D C119とディスク111との間のデータ転送を制御するディスク制御機能を有する。H D C119はまた、A T Aインタフェースを持つ。即ちH D C119は、ホスト20との間で、A T Aバス13を介してコマンド(リード/ライトコマンド等)、及びデータをA T Aインタフェースにより送受信するA T Aインタフェース制御機能を有する。但し、H D D10がS A T Aインタフェースを持つ本実施形態では、H D C119は、従来のH D Dとは異なって、A T Aバス13を介してS A T Aインタフェース制御回路12と接続され、当該S A T Aインタフェース制御回路12及びS A T Aバス30を介してホスト20と接続されている。H D C119はまた、バッファRAM120を制御するバッファ制御機能を有する。H D C119は、H D D10の状態をホスト20に通知するためのステータスレジスタ119aを含む。

【0028】

バッファRAM 120の記憶領域の一部は、ホスト20とHDD 10内のHDC 119との間で転送されるデータを一時格納するデータバッファのための領域に用いられる。バッファRAM 120の記憶領域の別の一部は、後述するSATAパワーセーブ不可フラグFを記憶するフラグ記憶領域120aと、受信コマンドの受信時刻を表す時刻情報を記憶するコマンド受信時刻記憶領域120bとに用いられる。コマンド受信時刻記憶領域120bは最新の一定数の受信コマンドの受信時刻情報を記憶するリングバッファとして用いられる。

【0029】

CPU 130は、制御プログラムが予め格納された図示せぬ不揮発性メモリ（例えば書き換えが可能な不揮発性メモリであるフラッシュROM）を有している。CPU 130は、この不揮発性メモリに格納されている制御プログラムに従ってHDD 10内の各部を制御する。特にCPU 130は、HDC 119によって受信されたホスト20からのコマンドがATAインタフェースのパワーセーブモード（以下、ATAパワーセーブモードと称する）を指定する特定コマンド（ATAパワーセーブコマンド）の場合に、HDD 10を当該コマンドで指定されたATAパワーセーブモードに設定する。またCPU 130は、ATAパワーセーブモードの設定時に、そのモードに予め対応付けられたSATAパワーセーブモードをHDC 119、ATAバス13を介してSATAインタフェース制御回路12によって設定させる。

【0030】

図3は、本実施形態で適用されるATAパワーセーブモード（ATAインタフェース規格に準拠したパワーセーブの状態）の状態遷移を示す図である。本実施形態では、ATAパワーセーブモードとして、アクティブ・アイドルモードM1、パフォーマンス・アイドルモードM2、ローパワー・アイドルモードM3、スタンバイモードM4及びスリープモードM5の5種類が用意されている。また、ATAインタフェースのモードとして、これらのパワーセーブ系のモードM1～M5の他に、リード/ライトコマンドが実行可能なリード/ライトモード（アクティブモード）M0が用意される。ここで、消費電力は、リード/ライトモードM0→アクティブ・アイドルモードM1→パフォーマンス・アイドルモードM2→ローパワー・アイドルモードM3→スタンバイモードM4→スリープモードM5の順に小さくなる。

【0031】

HDD 10（内のHDD本体11）では、リード/ライトモードM0におけるリード/ライトコマンドに従うリード/ライトの実行が終了すると、当該HDD 10での消費電力の節約のために、CPU 130の制御によってアクティブ・アイドルモードM1に遷移させられる。アクティブ・アイドルモードM1に遷移した後一定時間T1が経過してもホスト20から新たなコマンドが送られなかった場合には、当該HDD 10での消費電力の一層の節約のために、CPU 130の制御によってパフォーマンス・アイドルモードM2に自動的に遷移させられる。モードM1及びM2は、製造者側で任意に規定されたATAパワーセーブモードである。

【0032】

パフォーマンス・アイドルモードM2に遷移した後一定時間T2が経過してもホスト20から新たなコマンドが送られなかった場合には、当該HDD 10での消費電力の一層の節約のために、CPU 130の制御によってローパワー・アイドルモードM3に遷移させられる。このモードM3は、ATAインタフェース規格の“IDLE（アイドル）”に相当する。このため、上記各モードM1、M2においてホスト20からアイドルコマンドが送られた場合、HDD 10のATAパワーセーブモードは、当該コマンドに従ってローパワー・アイドルモードM3に遷移される。同様に、上記各モードM1、M2、M3においてホスト20からスタンバイコマンドが送られた場合、HDD 10のATAパワーセーブモードは、当該コマンドに従ってスタンバイモードM4に遷移される。なお、スタンバイコマンドの一種に、スタンバイモードに遷移するまでの時間を指定可能なスタンバイ・イミディエット（Standby Immediate）コマンドが知られている。スタンバイ・イミデー

10

20

30

40

50

イエットコマンドの場合には、当該コマンドで指定された時間後に、スタンバイモードM4に遷移される。また、上記各モードM1, M2, M3, M4においてホスト20からスリープコマンドが送られた場合、HDD10のATAパワーセーブモードは、当該コマンドに従ってスリープモードM5に遷移される。また、上記各モードM1, M2, M3, M4, M5においてホスト20からリード/ライトコマンドが送られた場合、HDD10のATAパワーセーブモードは、当該コマンドに従ってリード/ライトモードM0に遷移される。

【0033】

図4は、上記各モードM0～M5と当該モードM0～M5におけるHDD本体11内の各回路の電源OFF状態との対応関係を示す。リード/ライトモードM0では、HDD本体11内の各回路に、当該HDD本体11にてリード/ライト動作を即時に実行できるように電源が供給される。アクティブ・アイドルモードM1、パフォーマンス・アイドルモードM2及びローパワー・アイドルモードM3の各アイドルモードでは、HDD本体11内の一部の回路への電源供給が遮断(OFF)される。アクティブ・アイドルモードM1では、ディスク111はSPM113により回転されており、ヘッド112は、サーボ制御によりディスク111上のあるトラックに位置決めされている。パフォーマンス・アイドルモードM2では、ディスク111はSPM113により回転されており、ヘッド112はサーボ制御されずにディスク111上の任意のトラック上に存在する。ローパワー・アイドルモードM3では、ディスク111はSPM113により回転されているが、ヘッド112はディスク111から外れた退避箇所に移動されている。このためアクティブ・アイドルモードM1ではリード/ライトIC118内の一部の回路(ライトチャネル)への電源供給だけが遮断される。これに対し、パフォーマンス・アイドルモードM2ではモータドライバIC116内の一部の回路(VCMドライバ)及びリード/ライトIC118内の一部の回路への電源供給が遮断される。また、ローパワー・アイドルモードM3では、モータドライバIC116内の一部の回路への電源供給が遮断されると共に、ヘッドIC117及びリード/ライトIC118への電源供給が遮断される。リード/ライトモードM0に復帰するまでの時間(つまり、リード/ライトを再び実行可能とするまでの復帰時間)は、上記各アイドルモードによって異なり、アクティブ・アイドルモードM1→パフォーマンス・アイドルモードM2→ローパワー・アイドルモードM3の順に長くなる。上記各アイドルモードで必要となる消費電力は、アクティブ・アイドルモードM1→パフォーマンス・アイドルモードM2→ローパワー・アイドルモードM3の順に小さくなり、復帰時間が長い方が小さい。

【0034】

スタンバイモードM4では、SPM113の回転は停止される。ここでは、SPM113、モータドライバIC116、ヘッドIC117、リード/ライトIC118及びバッファRAM120への電源供給が遮断される。このため、スタンバイモードM4での消費電力は、ローパワー・アイドルモードM3よりも更に小さくなり、逆に復帰時間は長くなる。

【0035】

スリープモードM5では、HDC119内の一部の回路(リセット処理回路)だけに電源が供給されるだけで、殆どの回路への電源供給が遮断される。ここでは、リード/ライトモードM0への復帰はリセット動作によってのみ可能であり、復帰時間はスタンバイモードM4から復帰する場合と同程度である。スリープモードM5における消費電力は、上記各モードM0～M5の中で最も小さい。

【0036】

図5は、上記各モードM1～M5からリード/ライトモードM0に復帰するのに要する時間の一例を示す。

【0037】

図6は、上記モードM0～M5と、HDD10が当該モードM0～M5に設定された場合に、当該HDD10内のCPU130の制御によって設定されるSATAパワーセーブ

10

20

30

40

50

モードとの関係を示す。図 6 の例では、ATA パワーセーブモード (ATA インタフェースモード) がリード/ライトモード M0 の場合、SATA パワーセーブモード (SATA インタフェースモード) はアイドル (Idle) モード M11 に設定される。また、ATA パワーセーブモードがアクティブ・アイドルモード M1 またはパフォーマンス・アイドルモード M2 の場合、SATA パワーセーブモードはパーシャル (Partial) モード M12 に設定される。但し、パフォーマンス・アイドルモード M2 はアクティブ・アイドルモード M1 からしか遷移しないため、パフォーマンス・アイドルモード M2 への遷移時には、パーシャルモード M12 が継続されることになる。また、ATA パワーセーブモードがローパワー・アイドルモード M3、スタンバイモード M4 またはスリープモード M5 の場合、SATA パワーセーブモードはスランバ (Slumber) モード M13 に設定される。

10

【0038】

次に、図 1 のシステムにおける動作を、HDD 10 内の HDD 本体 11 においてホスト 20 からのコマンドを受信した場合に行われるパワー制御を例に、図 7 のフローチャートを参照して説明する。

【0039】

今、ホスト 20 のホスト本体 21 から ATA バス 23 に ATA インタフェース規格に準拠した HDD 10 宛てのコマンドが送出されたものとする。この ATA バス 23 上のコマンドはホスト 20 の SATA インタフェース制御回路 22 で受信される。SATA インタフェース制御回路 22 のリンク/トランスポート層処理部 222 は、受信コマンドを SATA インタフェース規格に準拠したコマンド (SATA バス 30 の信号規則) に変換して SATA バス 30 に送出する。この SATA バス 30 上のコマンドは HDD 10 の SATA インタフェース制御回路 12 で受信される。SATA インタフェース制御回路 12 のリンク/トランスポート層処理部 122 は、受信コマンドを ATA インタフェース規格に準拠したコマンド (ATA バス 13 の信号規則) に変換して ATA バス 13 に送出する。この ATA バス 13 上のコマンドは HDD 10 の HDD 本体 11 に設けられた HDC 119 で受信される。HDC 119 からは、SATA インタフェース制御回路 12 がホストとして認識される。HDC 119 によって受信されたコマンドは CPU 130 に渡される。

20

【0040】

CPU 130 は、HDC 119 から渡されたコマンドを受け取ると、当該コマンドの受信時刻を表すコマンド受信時刻情報をバッファ RAM 120 内のコマンド受信時刻記憶領域 120b に格納する (ステップ S1)。次に CPU 130 は、受信コマンドが予め定められたコマンドの 1 つであるか否かを判定する (ステップ S2)。ここで、予め定められたコマンドは、パワーセーブに関係するコマンドであり、アイドルコマンド、スタンバイコマンド、及びスリープコマンドである。

30

【0041】

受信コマンドが予め定められたコマンドの 1 つである場合、CPU 130 は以下に述べる処理を実行する。まず CPU 130 は、受信コマンドを解釈して当該コマンドの指示する動作を実行する (ステップ S3)。つまり、受信コマンドがアイドルコマンドである場合、CPU 130 は HDD 10 の ATA パワーセーブモードをローパワー・アイドルモード M3 に遷移させる。また、受信コマンドがスタンバイコマンドである場合、CPU 130 は HDD 10 の ATA パワーセーブモードをスタンバイモード M4 に遷移させる。また、受信コマンドがスリープコマンドである場合、CPU 130 は HDD 10 の ATA パワーセーブモードをスリープモード M5 に遷移させる。

40

【0042】

CPU 130 は、受信コマンドを実行し終えて、当該コマンドの実行完了を確認すると、当該コマンドの実行完了をホスト 20 に報告するための処理を行う (ステップ S4)。即ち CPU 130 は、コマンド実行完了を示す応答ステータスをステータスレジスタ 119a に設定して、ATA バス 13 に割り込み信号を送出する。SATA インタフェース制御回路 12 は、この割り込み信号に応じて、HDC 119 内のステータスレジスタ 119

50

aの内容をリードする。SATAインタフェース制御回路12は、リードしたステータスレジスタ119aの内容をもとに、SATAインタフェース規格に準拠したコマンド実行完了報告をSATAバス30を介してホスト20に送出する。ホスト20内のSATAインタフェース制御回路22は、SATAバス30上のコマンド実行完了報告を受信すると、ホスト本体21に対してATAバス23を介して割り込み信号を送出する。ホスト本体21は、この割り込み信号に応じてSATAインタフェース制御回路22からコマンド実行完了報告(コマンド完了応答)を受け取る。

【0043】

さて本実施形態では、ホスト20からHDD10に送られたコマンドが、予め定められたコマンド、即ちパワーセーブに関するコマンドの1つである場合、CPU130はSATAインタフェース制御回路12に対し、SATAパワーセーブモードの制御(つまりATAバス13のパワー制御)を実行する。ここでは、アイドルコマンド、スタンバイコマンド、またはスリープコマンドの場合、いずれもスランバモードM13に遷移するように制御される。

【0044】

CPU130によるSATAパワーセーブモードの制御は、SATAインタフェース規格に準拠したSATAパワーセーブモードを指定する信号パターンが設定されたプリミティブをATAバス13を介してSATAインタフェース制御回路12のリンク/トランスポート層処理部122(に含まれているリンク処理部)に送信することにより実現される。なお、SATAインタフェース制御回路12内にSATAパワーセーブモードの制御のための制御レジスタを設け、当該レジスタをCPU130から制御することにより、SATAバス30を目的のSATAパワーセーブモードに遷移させても良い。

【0045】

本実施形態では以下に示す理由により、ATAパワーセーブに関するコマンドの実行完了の報告(コマンド完了応答)後、対応するSATAパワーセーブモードに直ちに遷移させる構成を適用していない。まず、コマンド実行完了報告後に、SATAバス30を即時にスランバモードM13に遷移させると、当該スランバモードM13の定義から、コマンドの応答に対して最大10msの復帰時間を要する。ここで、ホスト20がスタンバイコマンド、例えばスタンバイ・イミディエットコマンドをHDD10に対して発行し、しかる後にチェックパワーモードコマンドを用いてHDD10内のSPM113の停止を確実に監視しようという場合を想定する。この場合、スタンバイ・イミディエットコマンドの実行完了報告(コマンド完了応答)後、SATAパワーセーブモードを即時にスランバモードM13に移行してしまうと、引き続くチェックパワーモードコマンドに対する完了応答の速度が低下してしまう。このため本実施形態では、コマンド完了応答後にSATAバス30を無条件で即時にスランバモードM13に遷移させることはしない。

【0046】

このことについて、更に詳細に説明する。まず、スタンバイ・イミディエットコマンドの終了時点で即時にスランバモードM13に遷移した場合に、その直後にホスト20がHDD10に対してチェックパワーモードコマンドを発行したものとする。この場合、チェックパワーモードコマンドの発行時点には、SATAバス30は既にスランバモードM13移行している。この状態でSATAバス30を通してホスト20からHDD10のHDC119にコマンドが伝達されるためには、当該SATAバス30が通信可能な状態、つまりアイドルモードM11に復帰されなければならない。このとき、ホスト20内のSATAインタフェース制御回路22では、チェックパワーモードコマンドに応じて、SATAインタフェースの状態遷移規則に従って復帰手順が実施される。この場合、ホスト20では、チェックパワーモードコマンドの完了応答が、SATAバス30の復帰時間だけ遅くなったように認識される。

【0047】

さて、ホスト20から発行されたコマンド(チェックパワーモードコマンド)は、当該コマンドの発行に応じて、SATAバス30の状態がスランバモードM13(パワーセー

10

20

30

40

50

ブ状態)からアイドルモードM11に復帰し、ホスト20とHDD10との間の通信が可能となった後にHDD10に到達する。そして、SATAインタフェース制御回路12のリンク/トランスポート層処理部122(に含まれているトランスポート層処理部)が作動して、HDD10内のHDC119に対してコマンドを発行する。このため、ホスト20から発行されたコマンドは、SATAバス30の復帰時間だけ遅れてHDD10内のHDC119に到達する。しかし、HDC119は、その遅れを認識できない。

【0048】

そこで本実施形態では、HDD10内のCPU130は、SATAパワーセーブモードを制御しようとする場合、まずバッファRAM120のコマンド受信時刻記憶領域120bに記憶されているコマンド受信時刻情報の示す例えば一定個数のコマンド受信時刻の系列から、コマンドの受信頻度を算出する(ステップS7)。ここで、コマンド受信頻度には、例えばコマンド受信時刻系列で示されるコマンド受信時間間隔の平均値、或いは最も確率の高いコマンド受信時間間隔を用いることができる。なお、一定個数のコマンド受信時刻の系列に代えて、現在時刻を基準とする一定時間内に受信されたコマンド受信時刻の系列を用いても構わない。

【0049】

CPU130は、算出されたコマンド受信頻度(コマンド受信時間間隔)から、今回受信したコマンドで決まるSATAパワーセーブモードに遷移するタイミングを決定し、そのタイミングが到来するのを待って、当該SATAパワーセーブモードへの遷移を制御する(ステップS8)。ここでは、算出されたコマンド受信頻度、つまりコマンド受信時間間隔を T_c とすると、CPU130は時間 T_c を待っても次のコマンドがHDC119で受信されなかった場合に、SATAバス30を、今回受信したコマンドで決まるSATAパワーセーブモードにSATAインタフェース制御回路12によって遷移させる(ステップS9)。これにより、ATAパワーセーブ系のコマンドの実行時に、当該コマンドで決まるSATAパワーセーブモードへの遷移を制御しても、ホスト20から次のコマンドが送られた場合に、当該次のコマンドに対する完了応答が遅れることを防止できる。

【0050】

なお、ATAパワーセーブ系のコマンドの後にホスト20からHDD10にチェックパワーモードコマンドが発行される可能性が高いことを考慮して、ATAパワーセーブ系のコマンドの完了応答後に、CPU130がSPM113の停止状態を確認し、その確認時点から予め定められた一定時間後にスランバモードM13への遷移を制御するようにしても、次のコマンドに対する完了応答が遅れることを防止できる。また、SPM113の再起動を必要としないコマンドを最も最近に受信した時点から一定時間後にスランバモードM13への遷移を制御するようにしても良い。また本実施形態では、ホスト20からのATAパワーセーブ系のコマンドが、アイドルコマンド、スタンバイコマンドコマンドまたはスリープコマンドのいずれの場合にも、SATAパワーセーブモードをスランバモードM13としている。しかし、コマンドの種類、或いはSATAインタフェース制御回路12の構成(アイドルモードM11に復帰する能力)によっては、より短時間で復帰できるパーシャルモードM12に遷移するようにしても良い。

【0051】

さて本実施形態では、HDD10における消費電力を低減するために、図3に示すように、ホスト20からのATAパワーセーブ系のコマンドとは別に、HDD10内部で自律的にATAパワーセーブモードの遷移が行われる構成が適用されている。つまり、HDD10内のCPU130は、リード/ライトモードM0でのリード/ライト実行が終了すると、直ちにリード/ライトモードM0からアクティブ・アイドルモードM1に遷移させる。またアクティブ・アイドルモードM1への遷移後、一定時間 T_1 を経過してもホスト20から新たなコマンドが送られなかった場合には、HDD10内のCPU130はアクティブ・アイドルモードM1からパフォーマンス・アイドルモードM2に遷移させる。またパフォーマンス・アイドルモードM2への遷移後、一定時間 T_2 を経過してもホスト20から新たなコマンドが送られなかった場合には、CPU130はパフォーマンス・アイド

10

20

30

40

50

ルモードM2からローパワー・アイドルモードM3に遷移させる。ここで、上記時間T1, T2を、先に述べたコマンド受信頻度(コマンド受信時間間隔)から、例えば一定周期で動的に変更すると良い。

【0052】

本実施形態では、このHDD10内部でのCPU130の制御による自律的なATAパワーセーブモードの遷移時に、図3に示すように、その遷移に連動してSATAパワーセーブモードも遷移させている。具体的には、リード/ライトモードM0からアクティブ・アイドルモードM1への遷移時に、アイドルモードM11からパーシャルモードM12に遷移される。また、アクティブ・アイドルモードM1からパフォーマンス・アイドルモードM2に遷移した場合には、パーシャルモードM12が継続される。また、パフォーマンス・アイドルモードM2からローパワー・アイドルモードM3の遷移時には、パーシャルモードM12からスランバモードM13に遷移される。ローパワー・アイドルモードM3では、ヘッド112はディスク111から外れた退避箇所へ移動される。HDD10が、この状態になると、その後ホスト20からリード/ライトコマンドが与えられた場合に、リード/ライトモードM0に復帰するにのに要する時間は30ms以上(図6参照)と比較的長い。そこで、このような場合に、本実施形態のようにSATAバス30をスランバモードM13に設定してSATAバス30(SATAインタフェース)での消費電力を抑えることは有効である。

【0053】

ホスト20からHDD10へのアクセスは時系列的に集中、或いは分散の傾向がある。例えばコマンド受信時間間隔が非常に短い状態が続いた後に、一定時間を超えてコマンドが受信されないことがある。このような場合、CPU130が、ホスト20におけるアプリケーションの実行が終了したものと推定して、比較的短時間で消費電力を下げるATAパワーセーブモードに設定すると良い。また、コマンド受信時間間隔は比較的長いものの、その状態が長時間続く場合、つまり継続してHDD10がアクセスされる場合には、CPU130が消費電力を下げる状態にするまでの時間が比較的長いATAパワーセーブモードに設定すると良い。ここでも、これらのSATAパワーセーブモードと連動してSATAパワーセーブモードを制御すると良い。

【0054】

また、本実施形態では、SATAパワーセーブモード(SATAバス30のパワーセーブ)がHDD10内のCPU130によって制御される。しかし、この制御が、SATAインタフェース制御回路12によって行われる構成とすることも可能である。図8は、SATAインタフェース制御回路12によってSATAパワーセーブモードが制御される場合の状態遷移を示す。今、ホスト20からのコマンドがSATAインタフェース制御回路12で受信された結果、SATAバス30がアイドルモードM11に遷移(復帰)したものとする。このアイドルモードM11への遷移時点から一定時間Tを経過しても新たなコマンドがホスト20から送られなかった場合、SATAインタフェース制御回路12は、SATAバス30をアイドルモードM11からパーシャルモードM12に遷移させる制御を行う。このパーシャルモードM12への遷移時点から一定時間Tを経過しても新たなコマンドがホスト20から送られなかった場合、SATAインタフェース制御回路12は、SATAバス30をパーシャルモードM12からスランバモードM13に遷移させる制御を行う。このスランバモードM13は、新たなコマンドがホスト20から送られるまで継続される。ここで、一定時間Tは、タイマ(時間計測手段)を用いて計測すれば良い。なお、アイドルモードM11からパーシャルモードM12に遷移した場合、新たなコマンドがホスト20から送られるまで当該パーシャルモードM12が継続される構成としても良い。またアイドルモードM11から直接スランバモードM13に遷移させる構成とすることも可能である。また、このSATAインタフェース制御回路12によるSATAパワーセーブモード制御機能を、HDD10内のHDC119に持たせることも可能である。

【0055】

本実施形態では、SATAパワーセーブモードの制御(SATAバス30のパワーセー

10

20

30

40

50

ブ)がHDD10側から(つまりHDD10の主導により)行われる。このSATAパワーセーブモードの制御のためには、HDD10側のSATAインタフェース制御回路12だけでなく、ホスト20側のSATAインタフェース制御回路22も共にSATAパワーセーブモードに対応していること(つまりSATAパワーセーブ機能をサポートしていること)が必要となる。もし、SATAインタフェース制御回路22がSATAパワーセーブモード(パーシャルモードM12及びスランバモードM13の各モード)に対応していない場合、指示されたSATAパワーセーブモードへの遷移は不可能となる。この状態については、SATAバスにより相互接続されたSATAインタフェース制御回路(本実施形態では、SATAインタフェース制御回路12及び22)相互の動作で知ることができる方法が、SATAインタフェース規格で定義されている。今、HDD10がSATAバス30を介して接続されているホスト20が、スランバモードM13に対応していない(SATAインタフェース制御回路22を含む)ものとする。この場合、HDD10側からスランバモードM13への移行指示(を表すパターンを含むプリミティブ)がホスト20に発行される都度、当該ホスト20(内のSATAインタフェース制御回路22)からはスランバモードM13への移行不能の応答が返される。このように、HDD10がSATAバス30を介して接続されているホスト20がSATAパワーセーブモードに対応していない場合、HDD10側からホスト20に対してSATAパワーセーブモードへの移行指示を発行しても、ホスト20からは常に移行不能の応答が返されるだけであり、SATAパワーセーブモードの制御は失敗する。つまり、HDD10がSATAパワーセーブモードに対応していないホスト20とSATAバス30を介して接続されている場合、HDD10がSATAパワーセーブモードの制御を実行することは無駄である。

【0056】

そこで本実施形態では、ホスト20から指示されたSATAパワーセーブモードへの移行不能の応答が返された場合、つまりSATAパワーセーブモードの制御に失敗した場合、HDD10内のCPU130は、バッファRAM120内のフラグ記憶領域120aに記憶されているSATAパワーセーブ不可フラグFをON状態にする(ステップS9, S10)。これにより、次にSATAパワーセーブモードの制御が必要となった場合、CPU130はSATAパワーセーブ不可フラグFの状態を参照することで、SATAパワーセーブが不可であるか否かを判定することができる(ステップS5, S6)。SATAパワーセーブ不可フラグFがON状態にある場合、CPU130はSATAパワーセーブが不可であると判定する。この場合、CPU130はSATAパワーセーブモードの制御の実行(ステップS7, S8)を控える。これにより、ホスト20のSATAインタフェース制御回路22がSATAパワーセーブモードに対応していないにも拘わらずに、不要なSATAパワーセーブモードの状態遷移のための制御が行われることを防止でき、シリアルATAバス30の動作を安定させることができる。

【0057】

HDD10及びホスト20の双方がSATAパワーセーブモードに対応している場合、ホスト20側から(つまりホスト20の主導により)SATAパワーセーブモードを制御することも可能である。しかし、HDD10内では、ホスト20からのATAパワーセーブ系のコマンドとは別に自律的にATAパワーセーブモードへの状態遷移が行われている。したがって、このHDD10内のATAパワーセーブモードに無関係にホスト20側からSATAバス30のSATAパワーセーブモードを制御するよりも、上記実施形態のようにHDD10内のATAパワーセーブモードに連動させてHDD10側からSATAバス30のSATAパワーセーブモードを制御する方が、HDD10内のATAパワーセーブモードに適したSATAパワーセーブモードを設定することができる。

【0058】

上記実施形態では、本発明をHDD(磁気ディスクドライブ)を備えたシステムに適用した場合について説明した。しかし本発明は、光ディスクドライブ、光磁気ディスクドライブなどHDD以外のディスクドライブを備えたシステム、更にはディスクドライブ以外の電子機器を備えたシステムでも、SATAインタフェースを持つ電子機器を備えたシス

10

20

30

40

50

テムであれば、適用可能である。

【 0 0 5 9 】

なお、本発明は、上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。

【符号の説明】

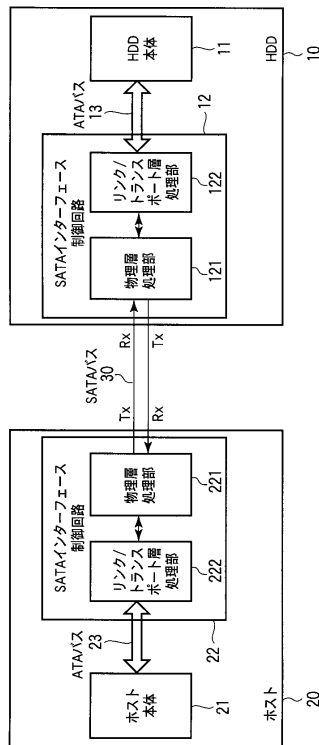
【 0 0 6 0 】

1 0 ... HDD (磁気ディスクドライブ、電子機器)、1 1 ... HDD本体、1 2, 2 2 ... S A T A インタフェース制御回路 (シリアル A T A インタフェース制御回路)、1 3, 2 3 ... A T A バス、2 0 ... ホスト、2 1 ... ホスト本体、3 0 ... S A T A バス (シリアル A T A バス)、1 1 1 ... ディスク、1 1 2 ... ヘッド、1 1 3 ... S P M (スピンドルモータ)、1 1 6 ... モータドライバ、1 1 7 ... ヘッド I C、1 1 8 ... リード/ライト I C、1 1 9 ... H D C (ディスクコントローラ)、1 1 9 a ... ステータスレジスタ、1 2 0 ... バッファ R A M、1 2 0 a ... フラグ記憶領域、1 2 0 b ... コマンド受信時刻記憶領域、1 3 0 ... C P U。

10

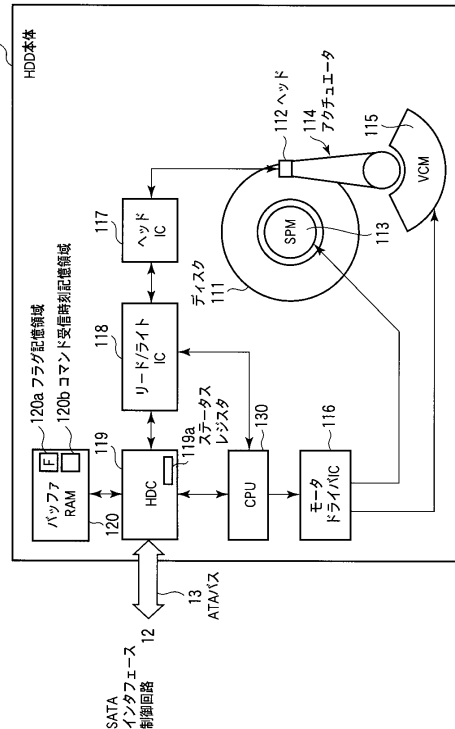
【 図 1 】

図 1

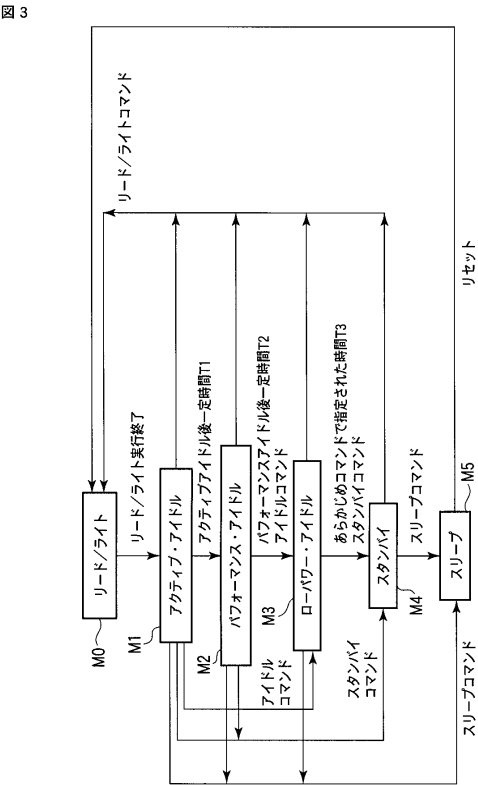


【 図 2 】

図 2



【図 3】

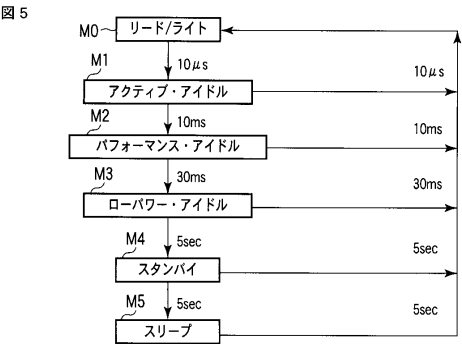


【図 4】

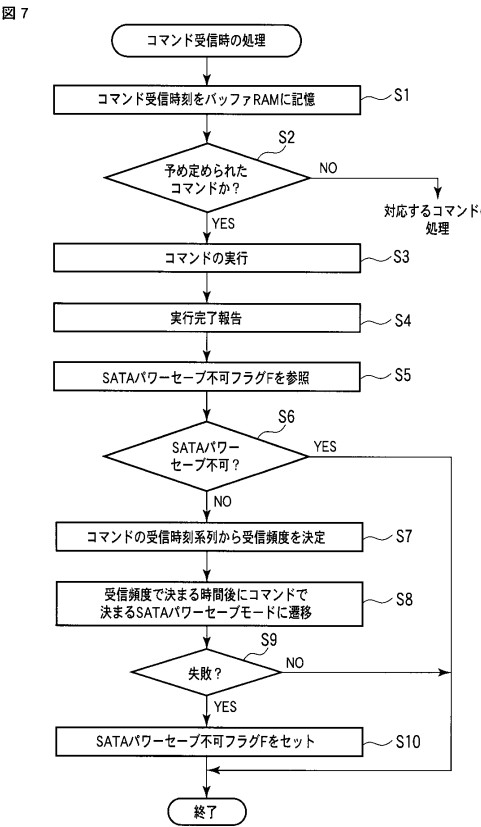
図 4

ATAパワーセーブモード	一部電源OFF回路	電源OFF回路
リード/ライト	なし	なし
アクティブ・アイドル	リード/ライトIC	なし
パフォーマンス・アイドル	モータドライバIC リード/ライトIC	なし
ローパワー・アイドル	モータドライバIC	ヘッドにリード/ライトIC
スタンバイ	なし	SPM, モータドライバIC, ヘッドIC リード/ライトIC, バッファRAM
スリープ	HDC	SPM, モータドライバIC, ヘッドIC リード/ライトIC, バッファRAM, CPU

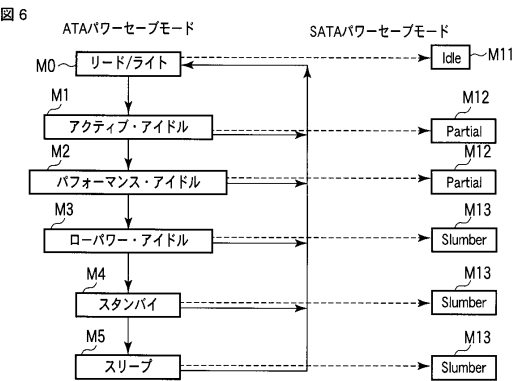
【図 5】



【図 7】

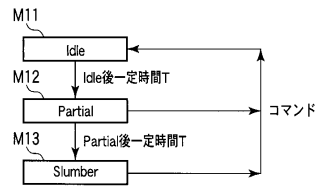


【図 6】



【図 8】

図 8



フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100100952
弁理士 風間 鉄也
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100070437
弁理士 河井 将次
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 猪狩 史
東京都青梅市末広町2丁目9番地 株式会社東芝青梅事業所内

審査官 杉藤 泰子

- (56)参考文献 特開平07-295672(JP,A)
特開平11-212687(JP,A)