

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5191558号
(P5191558)

(45) 発行日 平成25年5月8日 (2013.5.8)

(24) 登録日 平成25年2月8日 (2013.2.8)

(51) Int.Cl.

A 6 3 F 7/02 (2006.01)

F I

A 6 3 F 7/02 3 3 4

A 6 3 F 7/02 3 2 6 Z

A 6 3 F 7/02 3 0 4 D

請求項の数 3 (全 20 頁)

(21) 出願番号	特願2011-151413 (P2011-151413)	(73) 特許権者	391010943
(22) 出願日	平成23年7月8日 (2011.7.8)		株式会社藤商事
(62) 分割の表示	特願2008-135638 (P2008-135638)		大阪府大阪市中央区内本町一丁目1番4号
	の分割	(74) 代理人	100100376
原出願日	平成20年5月23日 (2008.5.23)		弁理士 野中 誠一
(65) 公開番号	特開2011-189213 (P2011-189213A)	(72) 発明者	野尻 貴史
(43) 公開日	平成23年9月29日 (2011.9.29)		大阪府大阪市中央区内本町一丁目1番4号
審査請求日	平成23年8月1日 (2011.8.1)		株式会社藤商事内
		審査官	大浜 康夫

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項1】

遊技者の動作に関連する所定の入賞状態が発生すると、これに起因する当否抽選に基づいて遊技者に有利な遊技状態を発生させる遊技機であって、当否抽選を含んで遊技動作を統括的に制御する主制御部と、主制御部からの制御コマンドに基づいて個別的な制御動作を実現するサブ制御部とを備えて構成され、

Nビット長のコモンデータと、Mビット長の点灯データとを出力して、N列 * M行に区分される多数のランプを点灯駆動する駆動部は、

主制御部又はサブ制御部である点灯制御部が出力するシリアルデータ信号を受けるAビット長のシフトレジスタと、前記点灯制御部が出力するラッチ信号を受けるAビット長のラッチレジスタと、前記点灯制御部が出力する出力指令信号を受けるAビット長の出力部と、を有する合計B個の電子回路が、シリアルデータ信号の転送方向の上流から下流に向けて直列接続されて構成され、

前記B個の電子回路において、前記シフトレジスタは、前記点灯制御部が出力するシフトクロックに同期してシリアルデータ信号を下流方向にシフトし、前記ラッチレジスタは、ラッチ信号がアクティブレベルに変化した時の前記シフトレジスタのデータを取得して保持し、前記出力部は、出力指令信号がアクティブレベルであることを条件に、前記ラッチレジスタが保持するデータをランプに出力するように構成され、

前記点灯制御部は、必要に応じて他のデータを付加してAビット長に固定化した点灯データと、必要に応じて他のデータを付加してAビット長に固定化したコモンデータとを結

合した合計 $A * B$ ビット長のシリアルデータ信号を、シフトクロックに同期して出力する第 1 処理と、

第 1 処理の完了後に出力指令信号をアクティブレベルから非アクティブレベルに変化させる第 2 処理と、

第 2 処理の完了後にラッチ信号をアクティブレベルに変化させた上で、非アクティブレベルに戻す第 3 処理と、

第 3 処理が完了した後に出力指令信号をアクティブレベルに戻す第 4 処理と、を有して構成され、

前記 B 個の電子回路は、前記出力部から出力される X (A) ビット長の点灯データが、これに対応する X 行に属するランプの第 1 端子に供給されるよう接続されている第 1 群の電子回路と、前記出力部から出力される Y (A) ビット長のコモンデータが、これに対応する Y 列に属するランプの第 2 端子に供給されるよう接続されている第 2 群の電子回路と、に区分され、

第 1 群に属する電子回路から出力される点灯データが全体として M ビット長であり、第 2 群に属する電子回路から出力されるコモンデータが全体として N ビット長に構成されていることを特徴とする遊技機。

【請求項 2】

第 1 処理は定時的に起動され、合計 $A * B$ ビット長のシリアルデータ信号が特定された状態で専用のシリアル通信回路が機能して実行される請求項 1 に記載の遊技機。

【請求項 3】

第 2 処理は、専用のシリアル通信回路の送信動作が完了したことを示す送信完了割込みによって起動されるよう構成されえている請求項 2 に記載の遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、コンピュータ回路を有して構成される遊技機に関し、特に、無駄な消費電力を抑制しつつ、迫力あるランプ演出を可能にする遊技機に関する。

【背景技術】

【0002】

パチンコ機などの弾球遊技機は、遊技盤に設けた図柄始動口と、複数個の表示図柄を所定時間変動させた後に停止させるといった一連の図柄変動態様を表示する図柄表示部と、開閉板が開閉される大入賞口などを備えて構成されている。そして、図柄始動口に設けられた検出スイッチが遊技球の通過を検出すると、遊技球の入賞状態となり、図柄表示部で表示図柄を所定時間変動させる。そして、その後、7 - 7 - 7 などの所定の態様で図柄が停止すると大当たり状態となり、大入賞口が繰返し開放されて遊技者に有利な利益状態を発生させるようにしている。

【0003】

図柄表示部は、通常、液晶ディスプレイで構成されており、リーチ演出や予告演出や大当たり演出を含んだ各種の図柄演出動作を実行している。リーチ演出とは、あと一步で大当たり状態となる状態を継続させて遊技者を盛り上げる図柄演出であり、予告演出とは、図柄の変動動作の途中に、何らかのキャラクタを突然登場させることで、その後の大当たり状態の招来を予告する図柄演出である。また、大当たり演出とは、大当たり状態での実行される演出であり、遊技者の喜びに対応して更に派手な図柄演出が実行される。

【0004】

このような図柄演出の実行時には、これに同期して音声演出やランプ演出も実行されており、リーチ演出時や大当たり演出時には、液晶ディスプレイの図柄演出に対応してランプを点滅演出させている。また、大当たり状態に突入した後は、更に派手なランプ演出が実行されている。なお、演出用の電飾ランプとしては、LED ランプや白熱ランプなどが使用される。また、複数のランプを縦横に整列させてドットマトリクスを構成することもある。

【 0 0 0 5 】

何れにしても、 $N * M$ 個のランプが配置されている場合には、これらは、 N ビットのコモンデータと、 M ビットの点灯データとを出力するランプ駆動回路によって選択的に駆動されるのが通例である。ランプ駆動回路には、一般に、シフトレジスタとラッチレジスタとを内蔵したドライバICが使用され、シフトレジスタは、点灯データ及びコモンデータをシリアル信号として制御装置から受け、これを、ラッチレジスタを経由して出力することで $N * M$ 個のランプが駆動される。

【 0 0 0 6 】

ここで、 N ビットのコモンデータは、 M 個のランプを点灯駆動するか否かを決定するデータであり、このコモンデータが有意レベルである場合だけ、 M 個のランプが、 M ビットの点灯データのレベルに応じて点灯又は消灯される。なお、 $N * M$ 個のランプがダイナミック点灯される場合には、 N ビットのコモンデータの何れか1ビットだけが有意レベルとなるよう構成されている。

10

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

ところで、遊技機は、かなり劣悪なノイズ環境下にあるので、特に、シリアル信号の伝送経路が長い場合や、シリアル信号の伝送速度が速い場合には、ドライバICに伝送されるシリアル信号がビット化けすることがある。そして、かかる異常時には、たとえ一時的であるとしても、本来意図しない無意味なランプ演出が実行されるので、遊技者に不信感を与えることになる。

20

【 0 0 0 8 】

そこで、かかる事態に対処するためには、 $N * M$ 個のランプを、高速度で繰り返し駆動することが考えられる。例えば、 $N * M$ 個のランプで構成されたドットマトリクスの画面を、1秒間に60回描画するためには、 $1 / (N * 60)$ 秒の周期で、 N ビットのコモンデータと、 M ビットの点灯データとを含むシリアル信号を、ドライバICに送信する必要がある。例えば、 $N = 8$ ビットであれば、データの送信周期が2 m S程度となり、各ランプは、1秒間に60回、 $2 * N$ [m S] の周期で同一状態に駆動される。したがって、その描画データの一部がビット化けしても、人間の視覚とランプ点灯周期との関係から全体として何ら問題にならないことになる。

30

【 0 0 0 9 】

しかしながら、制御装置は、ドライバICに対して、コモンデータ及び点灯データをシリアル信号として送信する必要があるので、点灯駆動すべきランプ数が増加すると、制御装置の送信処理負担が増加するという問題がある。すなわち、制御装置は、 $1 / (N * 60)$ 秒の周期で、繰り返しシリアルデータの送信処理を実行する必要があるので、ランプ数(= $N * M$)が増加すると、その負担は軽くない。なお、シリアルデータの送信速度を速くすることは可能であるが、むやみに送信速度を速くすると、耐ノイズが更に悪化する。

【 0 0 1 0 】

本発明は、上記の課題に鑑みてなされたものであって、駆動すべきランプ数が増加しても、制御装置の制御負担を増加させることなく、ランプ駆動の誤動作を防止できる遊技機を提供することを課題とする。

40

【 課題を解決するための手段 】

【 0 0 1 1 】

上記の目的を達成するため、請求項1に係る発明は、遊技者の動作に関連する所定の入賞状態が発生すると、これに起因する当否抽選に基づいて遊技者に有利な遊技状態を発生させる遊技機であって、当否抽選を含んで遊技動作を統括的に制御する主制御部と、主制御部からの制御コマンドに基づいて個別的な制御動作を実現するサブ制御部とを備えて構成され、 N ビット長のコモンデータと、 M ビット長の点灯データとを出力して、 N 列 * M 行に区分される多数のランプを点灯駆動する駆動部は、主制御部又はサブ制御部である点

50

灯制御部が出力するシリアルデータ信号を受けるAビット長のシフトレジスタと、前記点灯制御部が出力するラッチ信号を受けるAビット長のラッチレジスタと、前記点灯制御部が出力する出力指令信号を受けるAビット長の出力部と、を有する合計B個の電子回路が、シリアルデータ信号の転送方向の上流から下流に向けて直列接続されて構成され、前記B個の電子回路において、前記シフトレジスタは、前記点灯制御部が出力するシフトクロックに同期してシリアルデータ信号を下流方向にシフトし、前記ラッチレジスタは、ラッチ信号がアクティブレベルに変化した時の前記シフトレジスタのデータを取得して保持し、前記出力部は、出力指令信号がアクティブレベルであることを条件に、前記ラッチレジスタが保持するデータをランプに出力するよう構成され、前記点灯制御部は、必要に応じて他のデータを付加してAビット長に固定化した点灯データと、必要に応じて他のデータを付加してAビット長に固定化したコモンデータとを結合した合計A * Bビット長のシリアルデータ信号を、シフトクロックに同期して出力する第1処理と、第1処理の完了後に出力指令信号をアクティブレベルから非アクティブレベルに変化させる第2処理と、第2処理の完了後にラッチ信号をアクティブレベルに変化させた上で、非アクティブレベルに戻す第3処理と、第3処理が完了した後に出力指令信号をアクティブレベルに戻す第4処理と、を有して構成され、前記B個の電子回路は、前記出力部から出力されるX (A)ビット長の点灯データが、これに対応するX行に属するランプの第1端子に供給されるよう接続されている第1群の電子回路と、前記出力部から出力されるY (A)ビット長のコモンデータが、これに対応するY列に属するランプの第2端子に供給されるよう接続されている第2群の電子回路と、に区分され、第1群に属する電子回路から出力される点灯データが全体としてMビット長であり、第2群に属する電子回路から出力されるコモンデータが全体としてNビット長に構成されている。

10

20

【発明の効果】

【0019】

上記した本発明によれば、駆動すべきランプ数が増加しても、制御装置の制御負担を増加させることなく、ランプ駆動回路の誤動作を防止することができる。

【図面の簡単な説明】

【0020】

【図1】実施形態に示すパチンコ機の斜視図である。

【図2】図1のパチンコ機の遊技盤を詳細に図示した正面図である。

30

【図3】図1のパチンコ機の全体構成を示すブロック図である。

【図4】演出制御部と演出インターフェイス部と液晶制御部の回路構成を示すブロック図である。

【図5】第1実施例のランプ駆動回路LAMPとLEDランプ群との接続関係を示す回路図である。

【図6】ドライバICの内部構成を図示したものである。

【図7】別のドライバICの内部構成を図示したものである。

【図8】ランプ駆動処理の動作内容を説明するフローチャートである。

【図9】第2実施例のランプ駆動回路LAMPとLEDランプ群との接続関係を示す回路図である。

40

【図10】第3実施例のランプ駆動回路LAMPを示す回路図である。

【図11】第4実施例のランプ駆動回路LAMPを示す回路図である。

【図12】第4実施例のランプ駆動処理の動作内容を説明するフローチャートである。

【発明を実施するための形態】

【0021】

以下、本発明の実施形態について詳細に説明する。図1は、本実施形態のパチンコ機GMを示す斜視図である。このパチンコ機GMは、島構造体に着脱可能に装着される矩形枠状の木製外枠1と、外枠1に固着されたヒンジ2を介して開閉可能に枢着される前枠3とで構成されている。この前枠3には、遊技盤5が、裏側からではなく、表側から着脱自在に装着され、その前側には、ガラス扉6と前面板7とが夫々開閉自在に枢着されている。

50

なお、遊技盤 5 を除く部分が本発明の本体枠に該当する。

【 0 0 2 2 】

ガラス扉 6 の外周には、ＬＥＤランプなどによる多数の電飾ランプが、略Ｃ字状に配置されている。前面板 7 には発射用の遊技球を貯留する上皿 8 が装着され、前枠 3 の下部には、上皿 8 から溢れ出し又は抜き取った遊技球を貯留する下皿 9 と、発射ハンドル 10 とが設けられている。発射ハンドル 10 は発射モータと連動しており、発射ハンドル 10 の回転角度に応じて動作する打撃槌によって遊技球が発射される。

【 0 0 2 3 】

上皿 8 の外周面には、チャンスボタン 11 が設けられている。このチャンスボタン 11 は、遊技者の左手で操作できる位置に設けられており、遊技者は、発射ハンドル 10 から右手を離すことなくチャンスボタン 11 を操作できる。このチャンスボタン 11 は、通常時には機能していないが、ゲーム状態がボタンチャンス状態となると内蔵ランプが点灯されて操作可能となる。なお、ボタンチャンス状態は、必要に応じて設けられるゲーム状態である。

【 0 0 2 4 】

上皿 8 の右部には、カード式球貸し機に対する球貸し操作用の操作パネル 12 が設けられ、カード残額を 3 桁の数字で表示する度数表示部と、所定金額分の遊技球の球貸しを指示する球貸しスイッチと、ゲーム終了時にカードの返却を指令する返却スイッチとが設けられている。

【 0 0 2 5 】

図 2 に示すように、遊技盤 5 には、金属製の外レールと内レールとからなるガイドレール 13 が環状に設けられ、その内側の遊技領域 5 a の略中央には、液晶カラーディスプレイ D I S P が配置されている。また、遊技領域 5 a の適所には、図柄始動口 15、大入賞口 16、複数個の普通入賞口 17（大入賞口 16 の左右に 4 つ）、2 つの通過口であるゲート 18 が配設されている。これらの入賞口 15 ~ 18 は、それぞれ内部に検出スイッチを有しており、遊技球の通過を検出できるようになっている。

【 0 0 2 6 】

液晶ディスプレイ D I S P は、大当たり状態に係わる特定図柄を変動表示すると共に背景画像や各種のキャラクタなどをアニメーション的に表示する装置である。この液晶ディスプレイ D I S P は、中央部に特別図柄表示部 D a ~ D c と右上部に普通図柄表示部 19 を有している。そして、特別図柄表示部 D a ~ D c では、大当たり状態の招来を期待させるリーチ演出が実行されたり、特別図柄表示部 D a ~ D c 及びその周りでは、当否結果を不確定に報知する予告演出などが実行される。

【 0 0 2 7 】

普通図柄表示部 19 は普通図柄を表示するものであり、ゲート 18 を通過した遊技球が検出されると、普通図柄が所定時間だけ変動し、遊技球のゲート 18 の通過時点において抽出された抽選用乱数値により決定される停止図柄を表示して停止するようになっている。

【 0 0 2 8 】

図柄始動口 15 は、左右一対の開閉爪 15 a を備えた電動式チューリップで開閉されるよう例えば構成され、普通図柄表示部 19 の変動後の停止図柄が当り図柄を表示した場合には、開閉爪 15 a が所定時間だけ、若しくは、所定個数の遊技球を検出するまで開放されるようになっている。

【 0 0 2 9 】

図柄始動口 15 に遊技球が入賞すると、特別図柄表示部 D a ~ D c の表示図柄が所定時間だけ変動し、図柄始動口 15 への遊技球の入賞タイミングに応じた抽選結果に基づいて決定される停止図柄で停止する。なお、特別図柄表示部 D a ~ D c 及びその周りでは、一連の図柄演出の間に、予告演出が実行される場合がある。

【 0 0 3 0 】

大入賞口 16 は、例えば前方に開放可能な開閉板 16 a で開閉制御されるが、特別図柄

10

20

30

40

50

表示部 D a ~ D c の図柄変動後の停止図柄が「 7 7 7 」などの大当り図柄のとき、「大当りゲーム」と称する特別遊技が開始され、開閉板 1 6 a が開放されるようになっている。

【 0 0 3 1 】

大入賞口 1 6 の開閉板 1 6 a が開放された後、所定時間が経過し、又は所定数（例えば 1 0 個）の遊技球が入賞すると開閉板 1 6 a が閉じる。このような動作は、最大で例えば 1 5 回まで特別遊技が継続され、遊技者に有利な状態に制御される。なお、特別図柄表示部 D a ~ D c の変動後の停止図柄が特別図柄のうちの特定図柄であった場合には、特別遊技の終了後のゲームが高確率状態となるという特典が付与される。

【 0 0 3 2 】

図 3 は、本実施形態のパチンコ機 G M の全体回路構成を示すブロック図である。図中の一点破線矢印は、主に、直流電圧ラインを示している。

10

【 0 0 3 3 】

図示の通り、このパチンコ機 G M は、A C 2 4 V を受けて各種の直流電圧やシステムリセット信号 S Y S などを出力する電源基板 2 0 と、遊技制御動作を中心統括的に担う主制御基板 2 1 と、主制御基板 2 1 から受けた制御コマンド C M D に基づいてランプ演出及び音声演出を実行する演出制御基板 2 2 と、演出制御基板 2 2 から受けた制御コマンド C M D ' に基づいて液晶ディスプレイ D I S P を駆動する液晶制御基板 2 3 と、主制御基板 2 1 から受けた制御コマンド C M D " に基づいて払出モータ M を制御して遊技球を払い出す払出制御基板 2 4 と、遊技者の操作に応答して遊技球を発射させる発射制御基板 2 5 と、を中心に構成されている。

20

【 0 0 3 4 】

但し、この実施形態では、主制御基板 2 1 が出力する制御コマンド C M D は、コマンド中継基板 2 6 と演出インターフェイス基板 2 7 を経由して、演出制御基板 2 2 に伝送される。また、演出制御基板 2 2 が出力する制御コマンド C M D ' は、演出インターフェイス基板 2 7 を経由して、液晶制御基板 2 3 に伝送され、主制御基板 2 1 が出力する制御コマンド C M D " は、主基板中継基板 2 8 を経由して、払出制御基板 2 4 に伝送される。なお、演出インターフェイス基板 2 7 と演出制御基板 2 2 とは、ケーブルを使用することなくコネクタによって直結されている。

【 0 0 3 5 】

これら主制御基板 2 1 、演出制御基板 2 2 、液晶制御基板 2 3 、及び払出制御基板 2 4 には、ワンチップマイコンを備えるコンピュータ回路がそれぞれ搭載されている。そこで、これらの制御基板 2 1 ~ 2 4 に搭載された回路、及びその回路によって実現される動作を機能的に総称して、本明細書では、主制御部 2 1 、演出制御部 2 2 、液晶制御部 2 3 、及び払出制御部 2 4 と言うことがある。なお、演出制御部 2 2 、液晶制御部 2 3 、及び払出制御部 2 4 の全部又は一部がサブ制御部である。

30

【 0 0 3 6 】

ところで、このパチンコ機 G M は、図 3 の破線で囲む枠側部材 G M 1 と、遊技盤 5 の背面に固定された盤側部材 G M 2 とに大別されている。枠側部材 G M 1 には、ガラス扉 6 や前面板 7 が枢着された前枠 3 と、その外側の木製外枠 1 とが含まれており、機種の変更に拘わらず、長期間にわたって遊技ホールに固定的に設置される。一方、盤側部材 G M 2 は、機種変更に対応して交換され、新たな盤側部材 G M 2 が、元の盤側部材の代わりに枠側部材 G M 1 に取り付けられる。なお、枠側部材 G M 1 を除く全てが、盤側部材 G M 2 である。

40

【 0 0 3 7 】

図 3 の破線枠に示す通り、枠側部材 G M 1 には、電源基板 2 0 と、払出制御基板 2 4 と、発射制御基板 2 5 と、枠中継基板 3 2 と、外部端子基板 O T と、球貸機 U T とのインターフェイス基板 I F とが含まれており、これらの回路基板が、前枠 3 の適所に各々固定されている。一方、遊技盤 5 の背面には、主制御基板 2 1 、演出制御基板 2 2 、液晶制御基板 2 3 が、液晶ディスプレイ D I S P やその他の回路基板と共に固定されている。そして、枠側部材 G M 1 と盤側部材 G M 2 とは、一箇所に集中配置された接続コネクタ C N 1 ~

50

C N 4 によって電氣的に接続されている。

【 0 0 3 8 】

図 3 に示す通り、電源基板 2 0 は、接続コネクタ C N 2 を通して、主基板中継基板 2 8 に接続され、接続コネクタ C N 3 を通して、電源中継基板 3 0 に接続されている。そして、主基板中継基板 2 8 は、電源基板 2 0 から受けたシステムリセット信号 S Y S、R A M クリア信号、電圧降下信号、バックアップ電源、D C 1 2 V、D C 3 2 V を、そのまま主制御部 2 1 に出力している。同様に、電源中継基板 3 0 も、電源基板 2 0 から受けたシステムリセット信号 S Y S や、交流及び直流の電源電圧を、そのまま演出インターフェイス基板 2 7 に出力している。なお、演出インターフェイス基板 2 7 は、受けたシステムリセット信号 S Y S を、そのまま演出制御部 2 2 と液晶制御部 2 3 に出力している。

10

【 0 0 3 9 】

一方、払出制御基板 2 4 は、中継基板を介することなく、電源基板 2 0 に直結されており、主制御部 2 1 が受けると同様の、システムリセット信号 S Y S、R A M クリア信号、電圧降下信号、バックアップ電源を、その他の電源電圧と共に直接的に受けている。

【 0 0 4 0 】

ここで、電源基板 2 0 が出力するシステムリセット信号 S Y S は、電源基板 2 0 に交流電源 2 4 V が投入されたことを示す信号であり、この信号によって各制御部 2 1 ~ 2 4 のワンチップマイコンその他の I C 素子が電源リセットされるようになっている。主制御部 2 1 及び払出制御部 2 4 が、電源基板 2 0 から受ける R A M クリア信号は、各制御部 2 1 , 2 4 のワンチップマイコンの内蔵 R A M の全領域を初期設定するか否かを決定する信号であって、係員が操作する初期化スイッチの O N / O F F 状態に対応した値を有している。

20

【 0 0 4 1 】

主制御部 2 1 及び払出制御部 2 4 が、電源基板 2 0 から受ける電圧降下信号は、交流電源 2 4 V が降下し始めたことを示す信号であり、この電圧降下信号を受けることによって、各制御部 2 1、2 4 では、停電や営業終了に先立って、必要な終了処理を開始するようになっている。また、バックアップ電源は、営業終了や停電により交流電源 2 4 V が遮断された後も、主制御部 2 1 と払出制御部 2 4 のワンチップマイコンの内蔵 R A M のデータを保持する D C 5 V の直流電源である。したがって、主制御部 2 1 と払出制御部 2 4 は、電源遮断前の遊技動作を電源投入後に再開できることになる（電源バックアップ機能）。このパチンコ機では少なくとも数日は、各ワンチップマイコンの R A M の記憶内容が保持されるよう設計されている。

30

【 0 0 4 2 】

一方、演出制御部 2 2 と液晶制御部 2 3 には、上記した電源バックアップ機能が設けられていない。しかし、演出制御部 2 2 と液晶制御部 2 3 には、システムリセット信号 S Y S が共通して供給されており、他の制御部 2 1 , 2 4 と、ほぼ同期したタイミングで電源リセット動作が実現される。

【 0 0 4 3 】

図 3 及び図 4 に示す通り、演出インターフェイス基板 2 7 は、コマンド中継基板 2 6 と、電源中継基板 3 0 と、枠中継基板 3 1 と、演出制御基板 2 2 と、ランプ接続基板 3 4 と、液晶制御基板 2 3 と、インバータ基板 3 3 とに接続されている。

40

【 0 0 4 4 】

図 4 に示すように、演出制御部 2 2 は、音声演出・ランプ演出・データ転送などの処理を実行するワンチップマイコン 4 0 と、ワンチップマイコン 4 0 の制御プログラムなどを記憶する E P R O M 4 1 と、ワンチップマイコン 4 0 からの指示に基づいて音声信号を生成する音声再生 L S I 4 2 と、生成される音声信号の元データである圧縮音声データを記憶する音声用メモリ（フレーズ R O M ） 4 3 と、ウォッチドッグタイマ W D T とを備えて構成されている。

【 0 0 4 5 】

ワンチップマイコン 4 0 には、シリアル通信回路 S I O と、パラレルポート P I O とが

50

内蔵されている。そして、この実施例では、シリアル通信回路 S I Oからは、シリアルデータ D A T A及びシフトクロック C L O C Kが出力され、パラレルポート P I Oからは、ラッチ信号 L A T C H及び動作制御信号 E N A B L Eが出力されるよう構成されている。また、パラレルポート P I Oからは、制御コマンド C M D ' 及びストローブ信号 S T B ' も出力される。

【 0 0 4 6 】

ウォッチドッグタイマ W D T は、ワンチップマイコン 4 0 から定期的に供給されるクリアパルスでリセットされるが、プログラムの暴走などによって、このクリアパルスが途絶えると、リセット信号 R E S E T を出力するようになっている。その結果、ワンチップマイコン 4 0 は、初期状態に強制的にリセットされ、プログラムの暴走状態などが解消される。

10

【 0 0 4 7 】

図 4 に示す通り、演出制御基板 2 2 のワンチップマイコン 4 0 には、主制御基板 2 1 から出力された制御コマンド C M D とストローブ信号（割込み信号） S T B とが、演出インターフェイス基板 2 7 のバッファ 4 8 を経由して供給されている。そして、ストローブ信号 S T B によって起動される受信割込み処理によって、演出制御部 2 2 は、制御コマンド C M D を取得することになる。演出制御部 2 2 が取得する制御コマンド C M D には、(a) エラー報知その他の報知用制御コマンドなどの他に、(b) 図柄始動口への入賞に起因する各種演出動作の概要を特定する制御コマンド（変動パターンコマンド）が含まれている。ここで、変動パターンコマンドで特定される演出動作の概要には、演出開始から演出終了までの演出総時間と、大当たり抽選における当否結果とが含まれている。なお、これらに加えて、リーチ演出や予告演出の有無などを含めて変動パターンコマンドで特定してもよいが、この場合でも、演出内容の具体的な内容は特定されていない。

20

【 0 0 4 8 】

そのため、演出制御部 2 2 では、変動パターンコマンド C M D を取得すると、これに続いて演出抽選を行い、取得した変動パターンコマンドで特定される演出概要を更に具体化している。例えば、リーチ演出や予告演出について、その具体的な内容が決定される。そして、決定された具体的な遊技内容にしたがい、L E D ランプ群などの点滅によるランプ演出や、スピーカによる音声演出の準備動作を行うと共に、液晶制御部 2 3 に対して、ランプやスピーカによる演出動作に同期した図柄演出に関する制御コマンド C M D ' を出力する。

30

【 0 0 4 9 】

この場合、演出制御部 2 2 は、液晶制御部 2 3 に対するストローブ信号（割込み信号） S T B ' と共に、制御コマンド C M D ' を演出インターフェイス基板 2 7 に向けて出力する。なお、演出制御部 2 2 は、液晶ディスプレイに関連する報知用制御コマンドその他の制御コマンドを受信した場合は、その制御コマンドを、そのまま割込み信号 S T B ' と共に演出インターフェイス基板 2 7 に向けて出力する。

【 0 0 5 0 】

このような演出制御基板 2 2 の構成に対応して、演出インターフェイス基板 2 7 は、8 ビット長の制御コマンド C M D ' と 1 ビット長の割込み信号 S T B ' を受けるよう構成されている。そして、これらのデータ C M D ' , S T B ' は、バッファ回路 4 5 を経由して、そのまま液晶制御基板 2 3 に出力される。

40

【 0 0 5 1 】

また、演出インターフェイス基板 2 7 は、演出制御部 2 2 から出力されるランプ駆動用の制御信号（ D A T A , C L O C K , E N A B L E , L A T C H ）を受けて、バッファ回路 4 6 を経由して出力する。演出インターフェイス基板 2 7 から出力されたランプ駆動制御信号は、ランプ接続基板 3 4 を経由して L E D ランプ群に供給され、その結果、主制御部 2 1 が出力した制御コマンド C M D に対応するランプ演出が実現される。

【 0 0 5 2 】

図 5 は、ランプ接続基板 3 4 に搭載されたランプ駆動回路 L A M P と、 L E D ランプ群

50

との接続関係を示す回路図である。ランプ駆動回路 LAMP は、演出制御部 22 のワンチップマイコン 40 から、シリアル信号 DATA と、ラッチ信号 LATCH と、シリアルクロック CLOCK と、動作制御信号 ENABLE とを受けて機能している。

【0053】

また、ランプ制御回路 LAMP は、シフトレジスタとラッチレジスタとを内蔵するドライバ Dr1, Dr2 と、ドライバ Dr1 の出力信号を電流増幅するトランジスタアレイ ARY と、ドライバ Dr1 の出力レベルの異常を検出する第 1 ゲート G1 と、第 1 ゲート G1 の出力に応じてドライバ Dr1, Dr2 の出力動作を禁止する第 2 ゲート G2 とで構成されている。

【0054】

トランジスタアレイ ARY は、この実施例では、4 つのトランジスタ Q1 ~ Q4 と、各トランジスタ Q1 ~ Q4 のベース電位を規定する 4 組の分圧抵抗 r1, r2 とで構成されている。各トランジスタ Q1 ~ Q4 は、エミッタ端子が電源電圧 Vcc に接続されており、分圧抵抗 r2 に、グラウンドレベルの入力信号を受けると ON 動作する。なお、トランジスタ Q1 ~ Q4 の ON 動作時には、コレクタ端子から LED ランプ群に向けて駆動電流が流出される。

【0055】

この実施例では、2 つのドライバ Dr1, Dr2 を使用して、 $N * M (= 4 * 10)$ 個の LED ランプを点灯駆動している。 $N * M$ 個の LED ランプは、列方向のコモンデータ COM1 ~ COMn と、行方向の点灯データ P1 ~ Pm とで駆動されるよう接続されている（ここでは、 $n = 4, m = 10$ ）。

【0056】

具体的には、第 i 列のコモンデータ COMi は、行方向の 10 個の LED ランプのアノード端子に共通して接続されている。そして、この 10 個の LED ランプのカソード端子は、10 個の電流制限抵抗 R...R を経由して、ドライバ Dr2 の出力端子（10 ビット）に接続されている。

【0057】

一方、電流制限抵抗 R の他方側（右側）は、列方向の 4 個の LED ランプのカソード端子に共通して接続されている。そして、この 4 個の LED ランプのアノード端子は、トランジスタ（電流増幅素子）Q1 ~ Q4 を経由して、ドライバ Dr1 の出力端子（4 ビット）に接続されている。

【0058】

図 6 は、ドライバ Dr1, Dr2 の内部回路を図示したものである。この実施例では、ROHM 社の 16 ビット定電流 LED ドライバである BD7851FP を使用している。図示の通り、演出制御部 22 のワンチップマイコン 40 から受けたシリアル信号 DATA は、S_IN 端子を経由して、16 ビット長のシフトレジスタに供給され、シフトクロック CLOCK に同期してシフトされる。そして、シフトレジスタを経由したシリアル信号は、S_OUT 端子から出力される。

【0059】

シフトレジスタに入力されたシリアル信号 DATA は、ラッチ信号 LATCH が H レベルに立上ったタイミングで、16 ビット長のラッチレジスタに取得され、ラッチ信号 LATCH が L レベルに戻ると、ラッチレジスタの取得値が保持される。ラッチレジスタの取得値は、動作制御信号 ENABLE が L レベルであれば、そのまま出力端子 OUT1 ~ OUT16 から出力される。但し、動作制御信号 ENABLE が H レベルであれば、オープンコレクタ型の出力ゲート列が全て解放状態となる。

【0060】

なお、この IC には、電流制限端子 R_lref が設けられており、この端子 R_lref に接続する外付け抵抗によって出力電流値を制限できるようになっている。したがって、この IC では、内部回路を破損させるような過電流は流れないが、コモンデータや点灯データのビット化けによって、意図しないランプ演出が実行されたり、設計値以上の電流が流れるこ

10

20

30

40

50

とは、この機能では防止できない。

【 0 0 6 1 】

図 5 に示す 2 つのドライバ $D r 1$, $D r 2$ は、シリアル信号 $D A T A$ が直列接続されており、上流側のドライバ $D r 1$ の $S_O U T$ 端子と、下流側のドライバ $D r 2$ の $S_I N$ 端子とが接続されている。一方、ラッチ信号 $L A T C H$ と、シリアルクロック $C L O C K$ とは、2 つのドライバ $D r 1$, $D r 2$ に並列的に接続されており、互いに同期した動作を実現している。

【 0 0 6 2 】

図 5 に示すランプ駆動回路 $L A M P$ の説明を続けると、ドライバ $D r 1$ の 4 ビット出力端子 $O U T 1 \sim O U T 4$ は、トランジスタアレイ $A R Y$ に接続されている。なお、他の出力端子 $O U T 5 \sim O U T 1 6$ は未使用である。先に説明した通り、ドライバの出力部は、オープンコレクタ型であるが、例えば出力データ $O U T i$ が L レベルであれば、該当するトランジスタ $Q i$ が $O N$ 動作することで、コモンデータ $C O M i$ が H レベルとなる。そして、コモンデータ $C O M i$ が H レベルとなると、第 i 列に配置された 10 個の $L E D$ ランプが点灯可能な状態となる。

【 0 0 6 3 】

一方、ドライバ $D r 2$ の 10 ビット出力 $O U T 1 \sim O U T 1 0$ は、点灯データとして、各々、4 個の $L E D$ ランプのカソード端子に共通して供給されている。したがって、第 i 列の 10 個の $L E D$ ランプは、ドライバ $D r 2$ の出力端子 $O U T 1 \sim O U T 1 0$ から出力される点灯データ $P 1 \sim P 1 0$ に基づいて、点灯又は消灯される。例えば、点灯データ $P j$ が L レベルであれば、 j 行 i 列に位置する $L E D$ ランプが点灯し、点灯データ $P k$ が H レベルであれば、 k 行 i 列に位置する $L E D$ ランプが消灯する。

【 0 0 6 4 】

ところで、第 1 ゲート $G 1$ は、ドライバ $D r 1$ の 2 つの出力データ $O U T 1$, $O U T 2$ を受ける $N O R$ ゲートである。そして、この 2 つの出力データ $O U T 1 \sim O U T 2$ が共に L レベルの場合には、 H レベルの異常信号 $E R$ を出力する異常検出回路として機能する。言い換えると、この異常検出回路は、負論理入力、正論理出力の $A N D$ ゲートで構成されている。

【 0 0 6 5 】

一方、第 2 ゲート $G 2$ は、第 1 ゲート $G 1$ の出力と、ワンチップマイコン 40 が出力する動作制御信号 $E N A B L E$ とを受ける $O R$ ゲートである。そのため、第 2 ゲート $G 2$ の入力信号の何れかが H レベルの場合には、第 2 ゲート $G 2$ の出力が H レベルとなる。この第 2 ゲート $G 2$ の H レベル出力は、ドライバ $D r 2$ の $E N A B L E$ 端子に供給されているので、第 2 ゲート $G 2$ の出力が H レベルである場合には、ドライバ $D r 2$ の出力動作を禁止する動作禁止回路として機能する。すなわち、第 2 ゲートの出力が H レベルとなると、全ての $L E D$ ランプは、強制的に消灯状態となる。

【 0 0 6 6 】

図 8 (a) は、演出制御部 22 が実行するランプ駆動処理を説明するフローチャートであり、ワンチップマイコン 40 によって実行される。なお、演出制御部 22 の動作は、 $C P U$ がリセットされると開始されるメイン処理 (不図示) と、主制御部 21 から制御コマンド $C M D$ を受信した際に起動される受信割込み処理 (不図示) と、図 8 (a) に示すタイマ割込み処理と、図 8 (b) に示す送信完了割込みとを中心に構成されている。

【 0 0 6 7 】

タイマ割込み処理 (図 8 (a)) は、この実施例では、20 m S 毎に起動されて、シリアル通信回路 $S I O$ を動作させることで、一連のシリアル信号をランプ駆動回路 $L A M P$ に送信している。一方、送信完了割込み (図 8 (b)) は、シリアル通信回路 $S I O$ が、一連のシリアル信号の送信処理を終えた段階で起動される。

【 0 0 6 8 】

この実施例では、タイマ割込み処理と送信完了割込み処理とで、ランプ駆動処理が実現

されている。そして、タイマ割込みが20mS毎に起動されるので、例えば、4*10個のLEDランプを駆動するために、コモンデータ4ビットと、点灯データ10ビットとが、20mS毎に伝送されることになり、各LEDランプは、20*4=80mS毎に駆動される。したがって、例えば、4*10個のLEDランプによるドットマトリクスを想定すると、そのドットマトリクス面は、1秒間に12.5回の頻度で描画される。

【0069】

後述するように、本実施例では、ビット化け検出時に点灯動作を禁止しているので、従来例に比較して、上記のように相当に遅い描画速度を採用することができ、演出制御部22の制御負担が大幅に軽減される。その結果、演出制御部22は、ランプ演出以外の制御動作を豊富化することができ、より高度な演出動作が可能となる。

10

【0070】

また、本実施例では、描画速度が遅い分だけ、シリアル通信の通信速度を低減することができるので、シリアルデータのパルス幅が広い分だけ耐ノイズ性にも優れている。すなわち、パルス幅の狭いシリアルデータが、スパイクノイズに埋没するような状況でも、シリアルデータのパルス幅が広い分だけ救われる可能性がある。

【0071】

ところで、図8(c)は、ランプの点灯パターンを規定する点灯パターンテーブルTBLである。点灯パターンテーブルTBLは、複数群に区分されており、各群の点灯パターンとして、ここでは、(0001)(0010)(0100)(1000)のコモンデータCOM1~COM4に対応して、点灯データP1~P10が4組用意されている。但し、各群のデータは、必ずしもコモンデータCOM1~COM4に対応した4組である必要はなく、点灯パターンの繰り返し周期に応じて、4の整数倍であっても良い。なお、変則的なランプ演出を実行するときには、必ずしも、コモンデータCOM1~COM4の整数倍にする必要もない。

20

【0072】

何れにしても、複数群に区分された何れの群に属するデータを使用するかは、演出制御部22が主制御部21から受ける制御コマンドCMDに基づいて決定される。

【0073】

先に説明した通り、ドライバDr1, Dr2は、16ビット長のシフトレジスタと、16ビット長のラッチレジスタとを内蔵しているので、点灯パターンテーブルTBLには、16*2=32ビットのパターンデータが記憶されている。なお、この実施例では、4ビットのコモンデータCOM1~COM4と、10ビットの点灯データP1~P10だけが使用されるので、未使用のビットには、「0」が割り当てられている。もっとも、これら未使用のビットデータは、図5に示す実施例では、各ドライバDr1, Dr2において利用されないで「1」であっても良い。一方、図9に示す実施例では、ドライバDr1において、未使用のビットデータ(OUT5など)が活用されるので、「0」でなくてはならない。

30

【0074】

図8(c)に示す通り、ここでは、各群のパターンデータは、そのコモンデータCOM4~COM1が(0001)、(0010)、(0100)、(1000)であり、その点灯データP10~P1も4組である。このように、4ビットのコモンデータCOM4~COM1は、その何れか1ビットだけが「1」であるので、図5に示す第1列から第4列のLEDランプ群は、本来は、いずれか一列の10個のLEDランプだけが点灯駆動される。

40

【0075】

以上を踏まえてランプ駆動処理を説明する。図8(a)に示す通り、タイマ割込みが発生すると、まず、点灯パターンテーブルTBLから出力すべき32ビットのデータが選択される(ST1)。複数群のうち、何れの群に属するパターンデータを使用するかは、主制御部21が出力する制御コマンドCMDに基づいて既に決定されているので、ステップST1の処理では、選択済みの群に属する何行目のパターンデータを出力するかを決定す

50

ることになる。なお、選択されている群に、4行のパターンデータしか存在しない図示例のような場合には、この4行のパターンデータが繰り返し出力される。

【0076】

ステップST1の処理が終われば、次に、ワンチップマイコン40は、32ビット長のシリアルデータDATAを指定した状態で、シリアル通信回路SIOを起動してタイマ割込み処理を終える(ST2)。なお、シリアル通信回路SIOは、8ビット毎にシリアルデータを送信するので、ステップST2の処理は、実際には、かなり複雑であり制御負担は軽い。但し、ここでは、説明の都合上、10ビットの点灯データP1～P10と、4ビットのコモンデータCOM1～COM4とを含んだ32ビットのシリアル信号DATAが、シリアル通信回路SIOからドライバDr1, Dr2(ランプ駆動回路LAMP)に自動的に送信されることにする。

10

【0077】

したがって、シリアル通信回路SIOは、ワンチップマイコン40から指示された32ビット長のシリアルデータDATAを、シフトクロックCLOCKに同期して、ランプ駆動回路LAMPに送信し、この送信処理が完了すると、ワンチップマイコン40に送信完了割込みを発生させることになる。

【0078】

そして、送信完了割込みがかかると、図8(b)に示す送信完了割込み処理が実行される。ここでは、ワンチップマイコン40は、先ず、動作制御信号ENABLEをHレベルに立上げる(ST3)。その結果、ランプ駆動回路LAMPのドライバDr1, Dr2は、オープンコレクタ型の出力端子が開放状態となって、全てのLEDランプが非点灯状態となる。

20

【0079】

次に、ワンチップマイコン40は、LATCHパルスを出力する(ST4)。具体的には、LATCH信号をHレベルに立上げた後にLレベルに戻す。その結果、ドライバDr1, Dr2では、内蔵された16ビットシフトレジスタのデータが、ラッチレジスタに転送される。但し、このタイミングでは、動作制御信号ENABLEがHレベルであるから、全てのLEDランプは非点灯状態のままである。

【0080】

次に、ワンチップマイコン40は、動作制御信号ENABLEをLレベルに立下げて、送信完了割込み処理を終える(ST5)。その動作の結果、ステップST2の処理後に、シリアル通信回路SIOからドライバDr1, Dr2にシリアル転送された32ビットのデータが、LEDランプに向けて出力される。但し、図5の回路構成に基づき、実際に出力されるのは、4ビットのコモンデータCOM1～COM4と、10ビットの点灯データP1～P10だけである。そして、LレベルのコモンデータCOMiで選択される第i列に属する10個のLEDランプが、点灯データP1～P10に基づいて、点灯又は消灯される。

30

【0081】

正常な動作状態では、上記の通りに機能する。しかし、劣悪なノイズ環境下、シリアル信号がビット化けしている可能性もある。図5(b)は、かかる異常時の動作を図示したものであり、択一的に有意レベルとなる筈の出力信号OUT1～OUT4のうち、ビット化けによって、出力信号OUT1及びOUT2が共にLレベルとなった場合を想定している。このような場合、列方向の2個のLEDランプが全てON動作可能状態となるが、2個のLEDランプのON電流の総和は、電源電圧Vccと電流制限抵抗Rとで規定される $(V_{cc} - V_f) / R$ であるので、この意味では、特段の問題が生じない。なお、Vfは、LEDランプ(発光ダイオード)の順方向電圧降下であり、LEDランプの本来のON電流 $I = (V_{cc} - V_f) / R$ は、100mA程度に設定されている。

40

【0082】

一方、ドライバDr1の出力OUT1及びOUT2が、共にLレベルとなるような異常時には、点灯データP1～P10についても、当然にビット化けしていると懸念される。

50

そして、点灯データ P_j のビット化けによって、意味のないランプ演出が実行されると、遊技者に少なからず不信感を与える。

【0083】

また、例えば、 $OUT1 \sim OUT4$ 全てが L レベルとなった場合には、ドライバ $Dr2$ の出力トランジスタ（オープンコレクタ型の出力部）には、各々、 100mA 程度のコレクタ電流が流れるので、全体として、かなりの大電流となってドライバ $Dr2$ を少なからず劣化させる。そして、このような異常が相当の頻度で繰り返されると、遊技者の不信感が募るだけでなく、意味のない発熱によってドライバ $Dr2$ の劣化が促進される。

【0084】

しかし、本実施例では、コモンデータ $COM1$ 、 $COM2$ が共に L レベルにビット化けした場合には、第1ゲート $G1$ の出力が H レベルに変化するので、この H レベル出力が、第2ゲート $G2$ を通過して、ドライバ $Dr2$ の $ENABLE$ 端子に供給される。そして、 $ENABLE$ 端子が H レベルに変化すると、ドライバ $Dr2$ の出力トランジスタ（オープンコレクタ型）が全て解放状態になるので、ドライバ $Dr2$ への流入電流が阻止され、全ての LED ランプも消灯するので、上記した弊害が一挙に解消される。なお、 H レベルの異常信号 ER は、次のタイマ割込み処理において、正常データが出力されることで L レベルに復帰する。

【0085】

ところで、4ビットのコモンデータ $COM1 \sim COM4$ のうち、任意の3ビットや2ビットがビット化けした場合にも、ドライバ $Dr1$ 、 $Dr2$ の出力トランジスタを全て解放状態にするよう、第1ゲート $G1$ の回路構成を変更しても良い。すなわち、単一の NOR ゲート $G1$ に代えて、4ビットの出力端子 $OUT1 \sim OUT4$ のうち、任意の2ビットや、任意の3ビットが L レベルのなった場合に、 H レベルの異常信号 ER を出力する論理回路を設けても良いのは勿論である。

【0086】

図9(a)は、第2実施例のランプ駆動回路 $LAMP$ を示す回路図である。ここでは、インバータ (NOT) 動作をするトランジスタ Q と、検出抵抗 RL とで、異常検出回路 $G1$ を構成している。図示の通り、ドライバ $Dr1$ の出力端子 $OUT5$ の出力信号が、抵抗 $r2$ を経由して、トランジスタ Q のベース端子に供給されている。この第2実施例でも、図8(b)に示す点灯パターンテーブル TBL が使用されるので、本来、出力端子 $OUT5$ からは、 H レベルの信号が出力される筈である。

【0087】

しかし、コモンデータ $COM1 \sim COM4$ や、点灯データ $P1 \sim P10$ がビット化けするような異常時には、出力端子 $OUT5$ からビット化けした L レベルの信号が出力される可能性がある。そして、かかる異常時には、異常検出回路 $G1$ が H レベルの異常信号 ER を出力し、これが、第2ゲート $G2$ を経由してドライバ $Dr2$ の $ENABLE$ 端子に供給されるので、ドライバ $Dr2$ の出力トランジスタは開放状態となり、ドライバ $Dr2$ への流入電流が阻止されて、全ての LED ランプが消灯される。

【0088】

なお、過敏な異常検出動作を回避するためには、図9(b)の変形回路例に示すように、ドライバ $Dr1$ の出力端子 $OUT1 \sim OUT6$ のうち、例えば、出力端子 $OUT2 \sim OUT5$ から、コモンデータ $COM1 \sim COM4$ を出力する一方、出力端子 $OUT1$ 、 $OUT6$ の出力信号の NOR 出力を、異常信号 ER としても良い。

【0089】

この場合には、ドライバ $Dr1$ の出力端子 $OUT1 \sim$ 出力端子 $OUT6$ から出力される一連のシリアル信号について、その最初と最後がビット化けしているので、コモンデータ $COM1 \sim COM4$ や、点灯データ $P1 \sim P10$ についても、致命的にビット化けしていると予想して、全ての LED ランプを消灯させるのである。

【0090】

ところで、図5や図9では、2つのドライバ $Dr1$ 、 $Dr2$ を直列接続する実施例を説

10

20

30

40

50

明したが、図 10 に示すように 3 つ以上のドライバを直列接続しても良いのは勿論である。この第 3 実施例の場合には点灯データ P_i を増加させることで、ランプ演出の演出内容を豊富化することができる。なお、図 10 の構成では、コモンデータ COM_j を、最大 16 ビットまで増加させることができるので、駆動可能なランプ数は、最大 $16 * 16 * 3 = 768$ 個である。このような構成は、ドットマトリクスを構成する上で好適である。

【0091】

図 11 は、コモンデータ $COM_1 \sim COM_4$ を出力する最上流のドライバ Dr_1 として、別のドライバ IC (例えば TOSHIBA 製 TC74HC595AP) を使用したランプ駆動回路 LAMP を示す回路図である。このドライバ IC の内部構成は、図 7 に示す通りであり、演出制御部 22 のワンチップマイコン 40 から受けたシリアル信号 DATA は、S I 端子を経由して、8 ビット長のシフトレジスタに供給され、シフトクロック SCK に同期してシフトされる。そして、シフトレジスタを経由したシリアル信号は、QH' 端子から出力される。

10

【0092】

シフトレジスタに入力されたシリアル信号 DATA は、ラッチクロック信号 RCK が H レベルに立上ったタイミングで、8 ビット長のラッチレジスタに取得され、ラッチクロック信号 RCK が L レベルに戻ると、ラッチレジスタの取得値が保持される。ラッチレジスタの取得値は、動作制御信号 Gバーが L レベルであれば、そのまま出力端子 QA ~ AH から出力される。但し、動作制御信号 Gバーが H レベルであれば、3 ステイト型の出力ゲート列が全て高インピーダンス状態となる。

20

【0093】

また、このドライバ IC には、クリア端子 SCLR が設けられており、ここに L レベルの電圧を加えると、8 ビットのシフトレジスタの出力が全て L レベルとなる。そして、このクリアデータは、ラッチクロック信号 RCK が H レベルに立上ったタイミングで、8 ビット長のラッチレジスタに取得され、このタイミングで、動作制御信号 Gバーが L レベルであれば、そのまま出力端子 QA ~ AH から出力される。

【0094】

異常検出回路としては、ここでは、ドライバ Dr_1 の出力端子 QA 及び QB が、共に H レベルの場合に、L レベルの異常信号 ER を出力する NAND ゲート GT が使用される。また、トランジスタアレイ ARY の前段には、4 個のインバータ回路を配置している。インバータ回路は、論理記号で示されているが、具体的には、例えば、NPN 型のトランジスタによるスイッチング回路が採用される。

30

【0095】

何れにしても、この回路では、ドライバ Dr_1 の出力端子 QA ~ QD が H レベルであれば、各トランジスタ Q1 ~ Q4 が ON 状態となり、逆に、出力端子 QA ~ QD の出力が L レベルであれば、各トランジスタ Q1 ~ Q4 が OFF 状態となる。なお、ドライバ Dr_1 の出力端子 QA ~ QD が、高インピーダンス状態でも、各トランジスタ Q1 ~ Q4 は OFF 状態である。

【0096】

以上の通り、図 11 の回路では、ドライバ Dr_1 の内部構成 (図 7 参照) に対応して、インバータ回路によって動作ロジックを逆転させている。そのため、図 12 (b) の点灯パターンテーブル TBL については、コモンデータ COM が 8 ビット長であることを除き、図 8 (c) の構成と同じである。

40

【0097】

図 12 (a) は、図 11 のランプ駆動回路 LAMP に対する演出制御部 22 の処理内容を説明するフローチャートである。ステップ ST11 ~ ST12、及びステップ ST13 ~ ST15 の処理は、図 8 のステップ ST1 ~ ST5 の処理と実質的に同じである。但し、この第 4 実施例では、ステップ ST15 に続いて、ラッチクロック信号 RCK を再出力している (ST16)。そのため、ドライバ $Dr_1 \sim Dr_4$ のラッチレジスタの内容が、ラッチクロック信号 RCK に同期して連続して 2 回出力されることになる。

50

【 0 0 9 8 】

但し、ステップ S T 1 4 からステップ S T 1 6 の間に、ラッチレジスタの内容に変化がなければ、ドライバ D r 1 ~ D r 4 からの出力値に、何ら変化が生じない。すなわち、動作制御信号（G バー出力や E N A B L E 出力）を、H レベルから L レベルに戻して（S T 1 5）、ドライバ D r 1 ~ D r 4 から内部データを出力した後に、ドライバ D r 1 ~ D r 4 の内部回路に変化がなければ、ステップ S T 1 6 は何の意味も持たない。

【 0 0 9 9 】

ところが、ノイズなどの影響で、ドライバ D r 1 の出力端子 Q A 及び Q B の出力が共に H レベルであった場合には、動作制御信号 G バーの L レベルへの立下りタイミングで（S T 1 5）、N A N D ゲート G T の出力が L レベルになる。この N A N D ゲート G T の出力は、ドライバ D r 1 のクリア端子 S C L R に供給されるので、ステップ S T 1 5 のタイミングで、ドライバ D r 1 に内蔵されたシフトレジスタのデータが全てクリアされて L レベルとなる。

【 0 1 0 0 】

そして、このクリアデータは、次の、ラッチクロック信号 R C K に同期して出力されるので（S T 1 6）、異常なコモンデータ C O M 1 ~ C O M 4 の出力が未然に防止される。なお、図 1 2 の回路においても、図 9 に示すように、未使用ビットを使用して異常信号 E R を出力する構成を採っても良い。未使用ビットは本来 L レベルの筈であるから、ここから H レベルの信号が出力される場合は、ビット化け状態であり、そうである以上、他の出力端子についてもビット化けが予想されることは先に説明した通りである。

【 0 1 0 1 】

以上、本発明の実施形態について具体的に説明したが、具体的な記載内容は特に本発明を限定するものではない。例えば、主制御部 2 1 → 演出制御部 2 2 の経路で制御コマンドが伝送され、演出制御部 2 2 が、L E D ランプ群を制御する構成に限定されないのは勿論である。特に、複数の発光体によってドットマトリクスを構成する場合には、専用の C P U 回路（ドット制御回路）を配置してランプ制御動作を実行するのが好適である。この場合には、ドット制御回路は、演出制御部の下流側に配置されるのが典型的である。

【 0 1 0 2 】

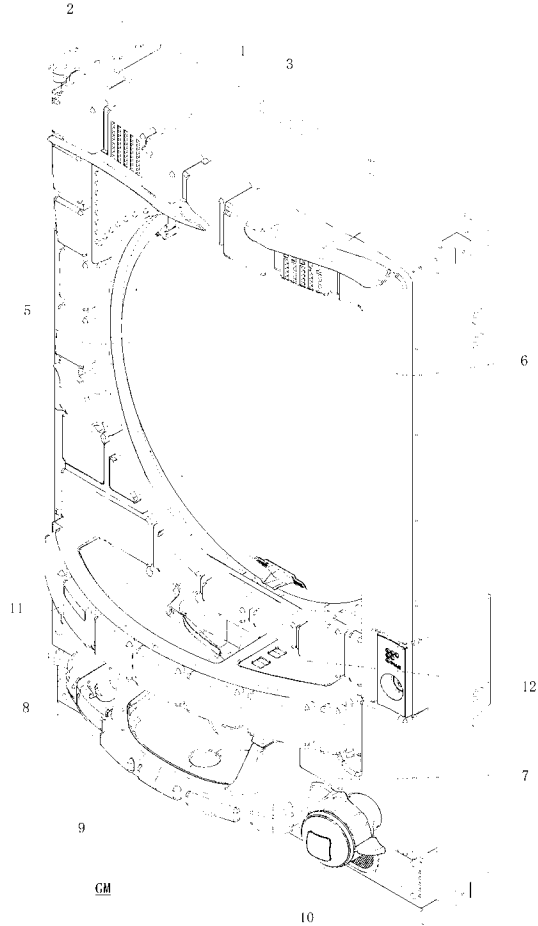
何れにしても、ドットマトリクスを点灯駆動する構成を採った場合には、単なる装飾ランプの場合より、遊技者の注目度合いが高いので本発明が好適である。しかも、主制御部 2 1 や演出制御部 2 2 の制御負担を増加させることなく、ドットマトリクスによる複雑高度なランプ演出が可能となる。

【 符号の説明 】

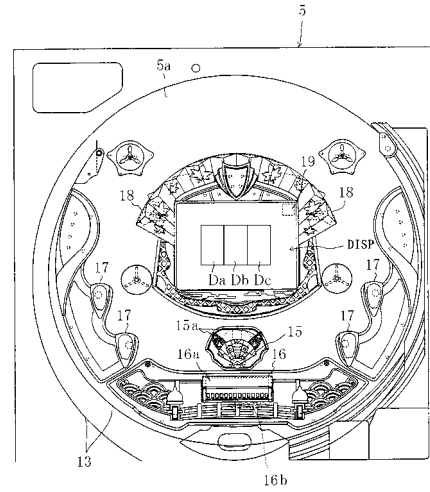
【 0 1 0 3 】

2 1	主制御部
2 2	サブ制御部
C O M 1 ~ C O M 4	コモンデータ
P 1 ~ P 1 0	点灯データ
L A M P	駆動部
D r 1 ~ D r 2	データ受信回路
G 1	異常検出回路
G 2	動作禁止回路

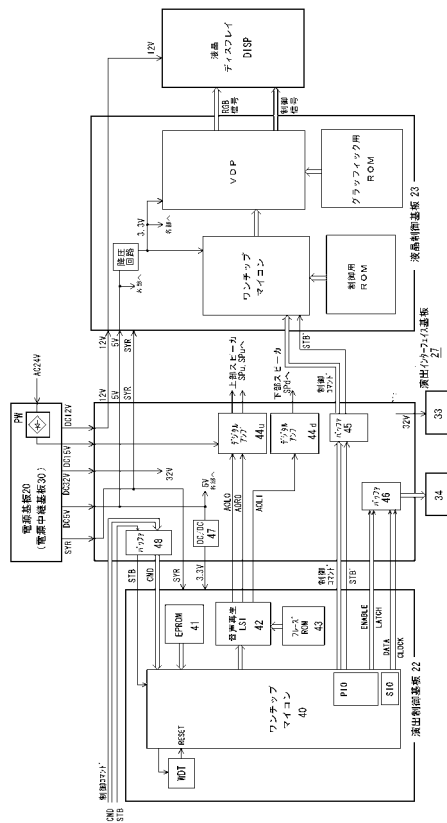
【図 1】



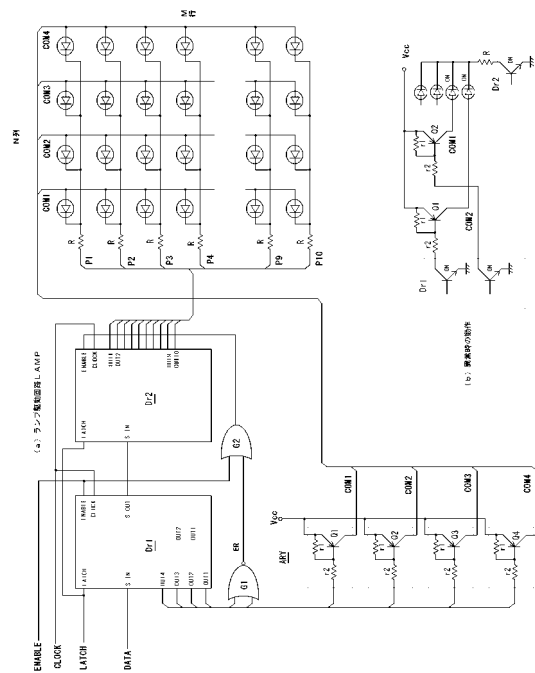
【図 2】



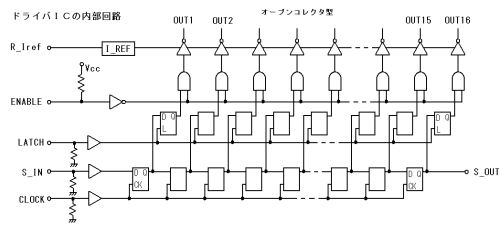
【図 4】



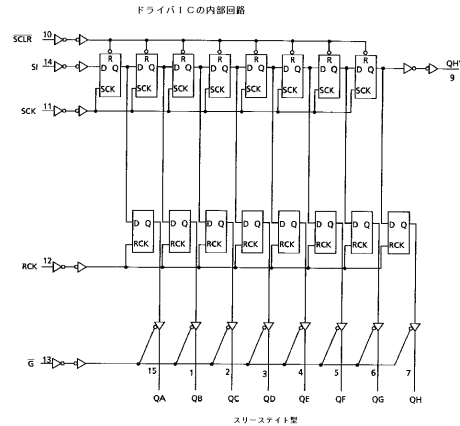
【図 5】



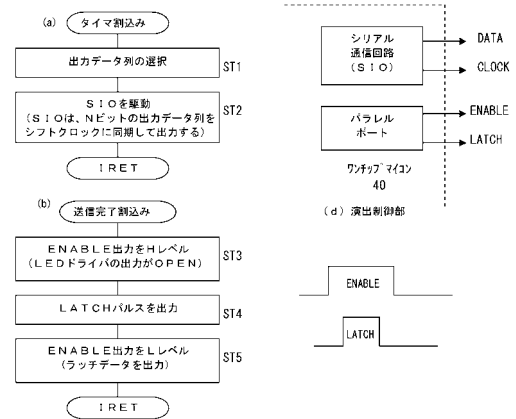
【図 6】



【図 7】



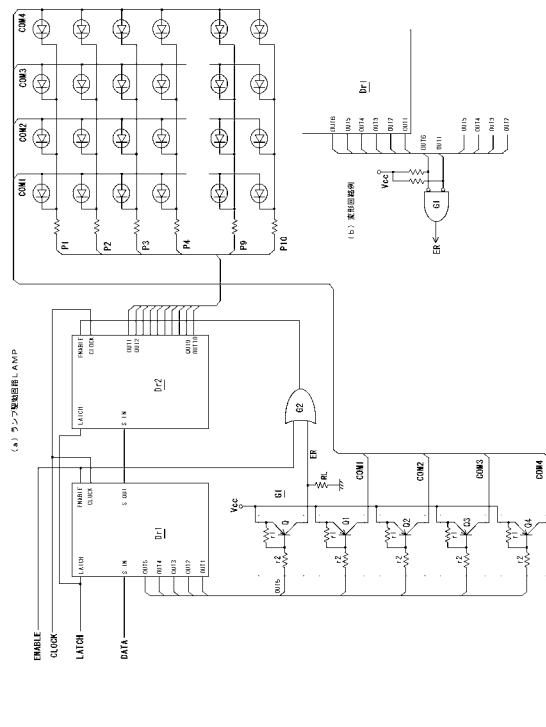
【図 8】



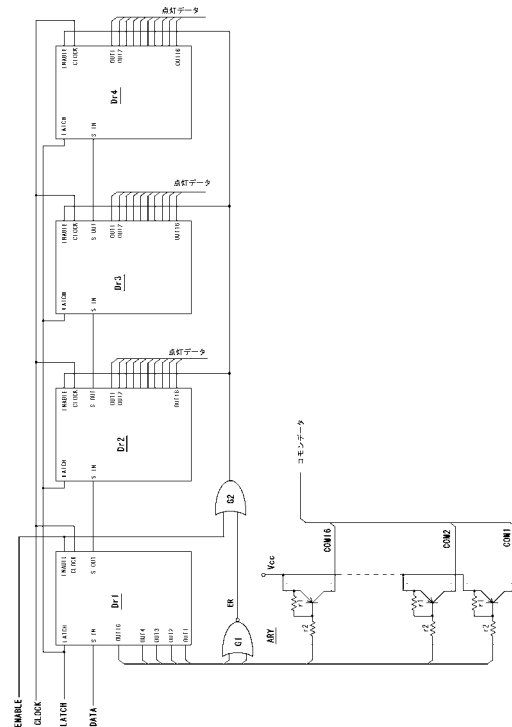
		点灯データ												コモンデータ COM(列選択)								
		P16	-	-	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	C16	-	-	-	C4	C3	C2	C1
第1群	0	0	0	*	*	*	*	*	*	*	*	*	*	*	0	0	0	0	0	0	0	1
	0	0	0	*	*	*	*	*	*	*	*	*	*	*	0	0	0	0	0	0	1	0
	0	0	0	*	*	*	*	*	*	*	*	*	*	*	0	0	0	0	1	0	0	0
	0	0	0	*	*	*	*	*	*	*	*	*	*	*	0	0	0	1	0	0	0	0
第2群	0	0	0	*	*	*	*	*	*	*	*	*	*	*	0	0	0	0	1	0	0	0
	0	0	0	*	*	*	*	*	*	*	*	*	*	*	0	0	0	0	0	0	0	1
	0	0	0	*	*	*	*	*	*	*	*	*	*	*	0	0	0	0	0	1	0	0
	0	0	0	*	*	*	*	*	*	*	*	*	*	*	0	0	0	0	1	0	0	0
.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	0	0	0	0	1	0	0	0
.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.

*は、0又は1の駆動データ

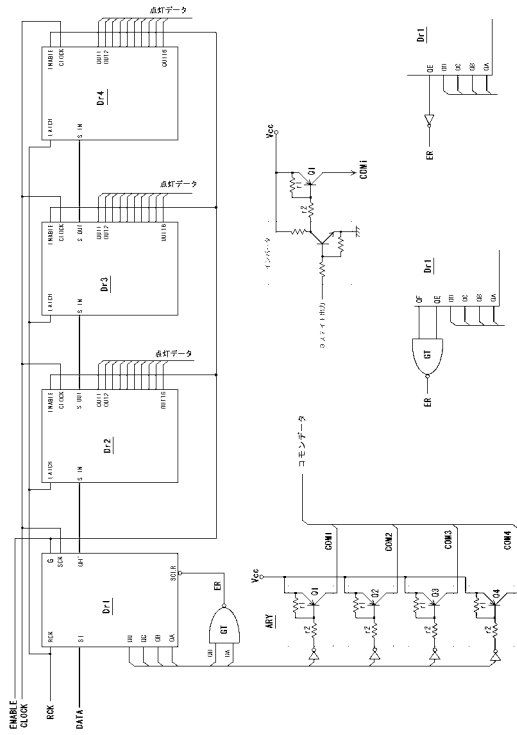
【図 9】



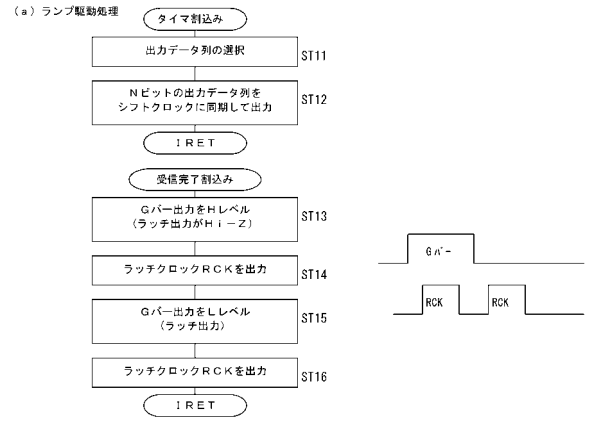
【図 10】



【図 1 1】



【図 1 2】

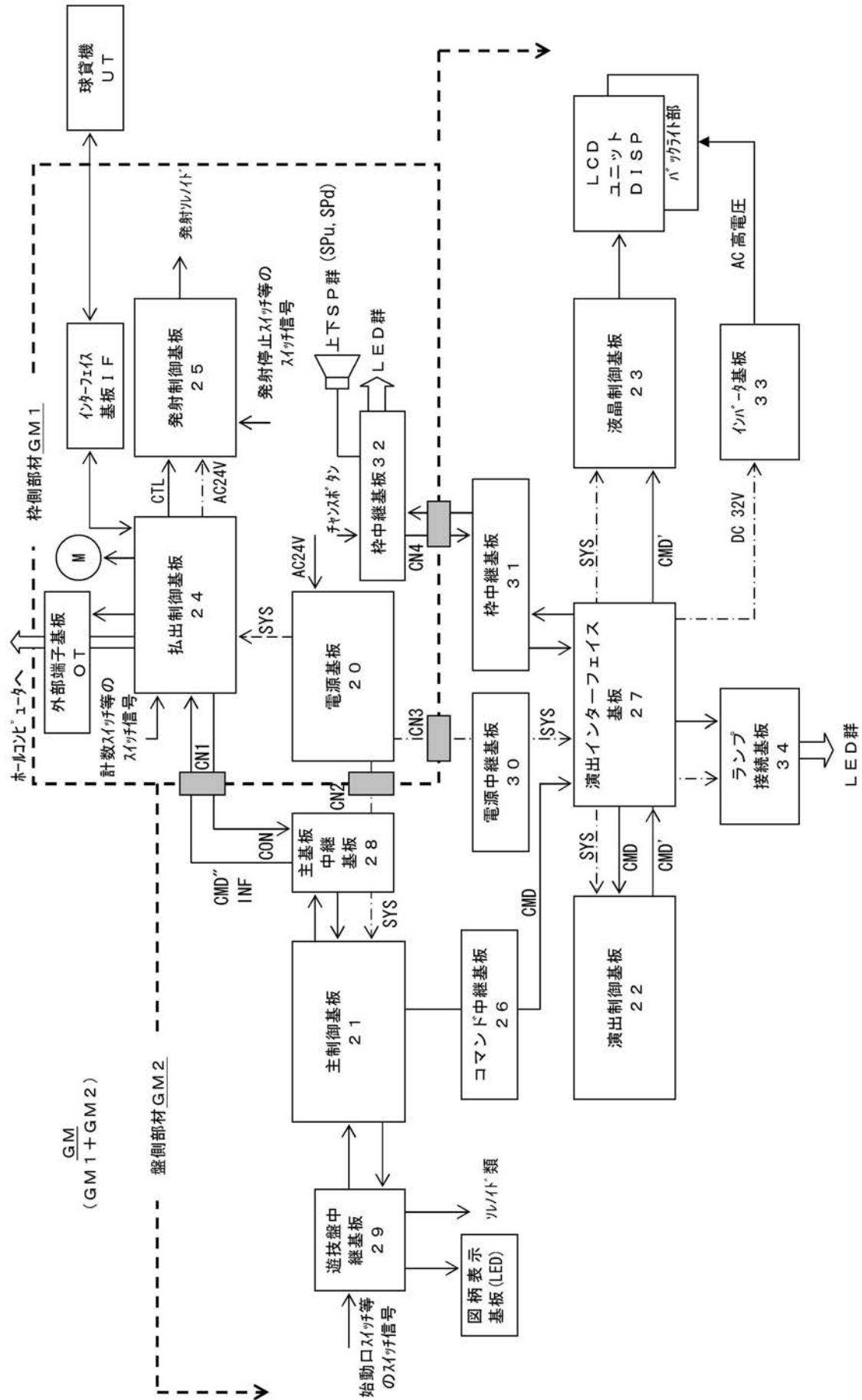


(b) 点灯パターンテーブル TBL

		点灯データ													コモンデータ COM(列選択)									
		P16	・	・	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	C8	・	・	C4	C3	C2	C1			
第1群	0	0	0	*	*	*	*	*	*	*	*	*	*	*	0	0	0	0	0	0	1			
	0	0	0	*	*	*	*	*	*	*	*	*	*	*	0	0	0	0	0	1	0			
	0	0	0	*	*	*	*	*	*	*	*	*	*	*	0	0	0	0	1	0	0			
	0	0	0	*	*	*	*	*	*	*	*	*	*	*	0	0	0	1	0	0	0			
第2群	0	0	0	*	*	*	*	*	*	*	*	*	*	*	0	0	0	0	0	1	0			
	0	0	0	*	*	*	*	*	*	*	*	*	*	*	0	0	0	0	0	1	0			
	0	0	0	*	*	*	*	*	*	*	*	*	*	*	0	0	0	0	1	0	0			
	0	0	0	*	*	*	*	*	*	*	*	*	*	*	0	0	0	1	0	0	0			
・	・	・	・	・	・	・	・	・	・	・	・	・	・	・	0	0	0	1	0	0	0			
・	・	・	・	・	・	・	・	・	・	・	・	・	・	・	0	0	0	・	・	・	・			
・	・	・	・	・	・	・	・	・	・	・	・	・	・	・	0	0	0	・	・	・	・			

*は、H又はLの駆動データ

【図 3】



フロントページの続き

(56)参考文献 特開2005-329092(JP,A)
特開2008-110252(JP,A)
特開2003-210684(JP,A)
特開2002-315938(JP,A)

(58)調査した分野(Int.Cl., DB名)
A63F 7/02