

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3753149号  
(P3753149)**

(45) 発行日 平成18年3月8日(2006.3.8)

(24) 登録日 平成17年12月22日(2005.12.22)

(51) Int. Cl.

F I

**G02F 1/133 (2006.01)**

G02F 1/133 505

**G02F 1/1368 (2006.01)**

G02F 1/133 550

**G09F 9/30 (2006.01)**

G02F 1/1368

**G09G 3/20 (2006.01)**

G09F 9/30 338

**G09G 3/36 (2006.01)**

G09G 3/20 611J

請求項の数 2 (全 7 頁) 最終頁に続く

(21) 出願番号 特願2004-227572 (P2004-227572)

(22) 出願日 平成16年8月4日(2004.8.4)

(62) 分割の表示 特願平11-371181の分割

原出願日 平成2年8月27日(1990.8.27)

(65) 公開番号 特開2005-49882 (P2005-49882A)

(43) 公開日 平成17年2月24日(2005.2.24)

審査請求日 平成16年8月4日(2004.8.4)

(73) 特許権者 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(74) 代理人 100095728

弁理士 上柳 雅誉

(74) 代理人 100107076

弁理士 藤綱 英吉

(74) 代理人 100107261

弁理士 須澤 修

(72) 発明者 松枝 洋二郎

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 福島 浩司

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

基板にマトリクス状に配置された薄膜トランジスタと、前記薄膜トランジスタに接続された信号線と、前記信号線を駆動するドライバ回路と、前記ドライバ回路に接続されてクロックパルスを供給するクロックラインと、前記ドライバ回路に接続されて前記信号線に信号を供給するビデオラインと、前記ドライバ回路に電力を供給する電源ラインとを有し、

前記電源ラインは、前記クロックラインの配線方向に沿って前記クロックラインを挟む両側に配置されており、かつ、その一方の側に配置される前記電源ラインは前記クロックラインと前記ビデオラインとの間に配置されており、

前記クロックラインを挟む両側に配置された電源ラインは、互いに接続されていることを特徴とする表示装置。

【請求項2】

基板にマトリクス状に配置された薄膜トランジスタと、前記薄膜トランジスタに接続された信号線と、前記信号線を駆動するドライバ回路と、前記ドライバ回路に接続されてクロックパルスを供給するクロックラインと、前記ドライバ回路に接続されて前記信号線に信号を供給するビデオラインと、前記ドライバ回路に電力を供給する電源ラインとを有し、

前記電源ラインは、前記ビデオラインの配線方向に沿って前記ビデオラインを挟む両側に配置されており、かつ、その一方の側に配置される前記電源ラインは前記クロックライ

ンと前記ビデオラインとの間に配置されており、

前記クロックラインを挟む両側に配置された電源ラインは、互いに接続されていることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置に係わり、特に信号線を駆動するドライバ回路を内蔵したものに關する。

【背景技術】

【0002】

10

従来の信号線駆動用のドライバ回路を内蔵した表示基置として、「SID “ 84 ダイジェスト p . 316 - 319 」( 非特許文献 1 ) に掲載されたものがある。この装置の回路構成を図 2 に示す。信号線 X 1 , X 2 , X 3 ,      が列方向に、走査線 Y 1 , Y 2 , Y 3 ,      が行方向にそれぞれ複数本配線されている。各信号線 X と走査線 Y との交点には、薄膜トランジスタ ( 以下、TFT と称する ) 22 がマトリクス状に配置されている。TFT 22 のゲートは走査線 Y に、ソースは信号線 X に接続され、ドレインは画素電極 23 に接続されている。また、対向電極 24 には共通電位  $V_{COM}$  が印加されている。

【0003】

各々の信号線 X は、映像信号 V 1 ~ V 3 を TFT 22 に入力するもので、X ドライバ 30 によって駆動される。また各々の走査線 Y は、選択パルス信号を TFT 22 のゲートに 20 入力して選択的に導通させるものであり、Y ドライバ 21 によって駆動される。

【0004】

ここで X ドライバ 30 は、シフトレジスタ 11 とアナログスイッチ TFTSW 1 , SW 2 , SW 3 , SW 4 ,      を有している。シフトレジスタ 11 には、電源電圧  $V_{DDX}$  及び  $V_{SSX}$  を供給する電源線 35 及び 36 が接続されている。また、スタートパルス DX を入力するスタートパルスライン 37 が接続されている。さらにクロックライン 31 ~ 34 が接続されており、クロックパルス CL 1 , CL 1 , CL 2 及び CL 2 がそれぞれ入力される。出力ライン 38 ~ 41 は、アナログスイッチ TFTSW 1 ~ SW 4 のゲートにそれぞれ接続されており、映像信号 V 1 ~ V 3 を伝えるビデオライン 18 ~ 20 は、アナログスイッチ TFTSW 1 ~ SW 4 のソースに接続されている。 30

【0005】

この X ドライバ 30 によって、各信号線 X 1 , X 2 , X 3 ,      に映像信号 V 1 ~ V 3 が次のようにして順次書き込まれていく。この場合の各信号の動作波形を図 3 に示す。クロックパルス CL 1 , CL 1 , CL 2 及び CL 2 が入力され、クロックパルス CL 1 と CL 2 との位相差 T だけスタートパルス DX が順次シフトされて、出力信号 Q 1 ~ Q 4 として出力ライン 38 ~ 41 に与えられる。この出力は、アナログスイッチ TFTSW 1 ~ SW 4 のゲートにそれぞれ入力され、ハイレベルの間導通する。

【0006】

このアナログスイッチ TFTSW 1 ~ SW 4 には、映像信号 V 1 ~ V 3 がそれぞれ導通している間入力され、各信号線 X 1 ~ X 3 に書き込まれていく。 40

【特許文献 1】特開平 1 - 289917 号公報

【非特許文献 1】SID “ 84 ダイジェスト p . 316 - 319

【発明の開示】

【発明が解決しようとする課題】

【0007】

ここで従来は、クロックライン 31 ~ 34 のノイズがビデオライン 18 ~ 20 に入らないように、クロックパルス CL 1 , CL 1 , CL 2 及び CL 2 を A 方向から入力し、映像信号 V 1 ~ V 3 は逆の B 方向から入力していた。しかし、各信号線 X 1 , X 2 , X 3 ,      に映像信号 V 1 ~ V 3 が書き込まれるタイミングに、左右でずれが生じていた。

【0008】

50

クロックパルスがA方向からシフトレジスタ11に入力されて行くと、信号の入り口付近（図中右側）ではエッジが急峻であり、出口付近（図中左側）ではだれてくる。しかし、映像信号V1～V3は逆のB方向から入力されるため、シフトレジスタ11の図中左側から右側へ行くにつれて、波形がなまってくる。クロックパルスの波形がなまると、アナログスイッチTF TSW1～SW4が導通するタイミングが遅れるが、映像信号V1～V3の波形も同じようになり、アナログスイッチTF TSW1～SW4に入力されるタイミングが遅れれば特に問題はない。

#### 【0009】

ところが、クロックパルスと映像信号の入力方向は一致しておらず、アナログスイッチTF TSW1～SW4がクロックパルスに基づいて導通するタイミングと、映像信号V1～V3がアナログスイッチTF TSW1～SW4に入力されるタイミングにずれが生じる。この結果、画面にデータを表示するとドットがずれたり、液晶プロジェクタのように複数の液晶表示パネルの画像を合成すると色がずれるという問題を招いていた。

#### 【0010】

本発明は上記事情に鑑みなされたもので、信号線にビデオ信号を書き込むタイミングにずれがなく、均一で高精細な画質を達成することを目的とする。

#### 【課題を解決するための手段】

#### 【0011】

本発明の表示装置は、基板にマトリクス状に配置された薄膜トランジスタと、前記薄膜トランジスタに接続された信号線と、前記信号線を駆動するドライバ回路と、前記ドライバ回路に接続されてクロックパルスを供給するクロックラインと、前記ドライバ回路に接続されて前記信号線に信号を供給するビデオラインと、前記ドライバ回路に電力を供給する電源ラインとを有し、前記電源ラインは、前記クロックラインの配線方向に沿って前記クロックラインを挟む両側に配置されており、かつ、その一方の側に配置される前記電源ラインは前記クロックラインと前記ビデオラインとの間に配置されており、前記クロックラインを挟む両側に配置された電源ラインは、互いに接続されていることを特徴とする。

本発明の表示装置は、基板にマトリクス状に配置された薄膜トランジスタと、前記薄膜トランジスタに接続された信号線と、前記信号線を駆動するドライバ回路と、前記ドライバ回路に接続されてクロックパルスを供給するクロックラインと、前記ドライバ回路に接続されて前記信号線に信号を供給するビデオラインと、前記ドライバ回路に電力を供給する電源ラインとを有し、前記電源ラインは、前記ビデオラインの配線方向に沿って前記ビデオラインを挟む両側に配置されており、かつ、その一方の側に配置される前記電源ラインは前記クロックラインと前記ビデオラインとの間に配置されており、前記クロックラインを挟む両側に配置された電源ラインは、互いに接続されていることを特徴とする。

本発明の表示装置は、基板にマトリクス状に配置された薄膜トランジスタと、前記薄膜トランジスタに接続された信号線と、前記信号線を駆動するドライバ回路と、前記ドライバ回路に接続されてクロックパルスを供給するクロックラインと、前記ドライバ回路に電力を供給する電源ラインとを有し、前記電源ラインは、前記クロックラインを囲むよう配置されていることを特徴とする。

#### 【0012】

また、基板にマトリクス状に配置された薄膜トランジスタと、前記薄膜トランジスタに接続された信号線と、前記信号線を駆動するドライバ回路と、前記ドライバ回路に接続されて前記信号線に信号を供給するビデオラインと、前記ドライバ回路に電力を供給する電源ラインとを有し、前記電源ラインは、前記ビデオラインを囲むよう配置されていることを特徴としていてもよい。

#### 【0013】

クロックパルスをドライバ回路に供給する際に、クロックラインの入力側から出力側へ行くに従い、クロックパルスの波形が徐々になまってくるため、TF Tが導通するタイミングが遅れていくが、映像信号を供給する方向がクロックパルスを供給する方向と一致し

10

20

30

40

50

ているため、同様な方向に映像信号の波形も徐々になまっていき、信号線に映像信号を書き込むタイミングにずれが生じない。

【 0 0 1 4 】

クロックパルスと映像信号とが同一方向から供給されると、クロックラインのノイズがビデオラインに入り込む虞れがあるが、クロックラインとビデオラインとの間に電源ラインが配置されることによって防止される。

【 0 0 1 5 】

各々のクロックラインからドライバ回路までを接続する各ラインには、それぞれ寄生容量が存在し、クロックパルスが反転する際にカップリングノイズが発生するが、クロックラインを少なくとも一箇所で交差させることにより、クロックラインからドライバ回路までの距離が等しくなると、同じタイミングで極性の異なるカップリングノイズが発生して相殺され、ノイズが低減される。

【 発明を実施するための最良の形態 】

【 0 0 1 6 】

以下、本発明の一実施例について図面を参照して説明する。図 1 に本実施例による表示装置の構成を示す。図 2 に示された従来の装置と比較し、クロックライン 1 2 ~ 1 5 と電源線 1 6 及び 1 7 の配置が異なっている。クロックパルス C L 1 , C L 1 , C L 2 及び C L 2 がシフトレジスタ 1 1 に入力される方向が、映像信号 V 1 ~ V 3 と同じ B 方向であるようにクロックライン 3 1 ~ 3 4 が配置されている。これにより、クロックパルスの波形が図中左方向へ行くに従って徐々になまっていき、アナログスイッチ T F T S W 1 ~ S W 4 が導通するタイミングが遅れたとしても、映像信号 V 1 ~ V 3 の波形も同じ方向になまっていく。このため、信号線 X 1 , X 2 , X 3 , X 4 , に映像信号 V 1 ~ V 3 が書き込まれるタイミングにずれは生じない。特に、クロックライン 1 2 ~ 1 5 とビデオライン 1 8 ~ 2 0 のそれぞれの時定数が同程度である場合には、ほぼ完全にタイミングを一致させることが可能である。

【 0 0 1 7 】

ところで、同一方向からこの二つの信号を入力すると、クロックライン 1 2 ~ 1 5 のノイズがビデオライン 1 8 ~ 2 0 に入り込むおそれがある。そこで本実施例では、次のような配線を施すことによりノイズ対策を行っている。

【 0 0 1 8 】

先ず第 1 のノイズ対策として、クロックライン 1 2 ~ 1 5 とビデオライン 1 8 ~ 2 0 との間に電源線 1 6 及び 1 7 を配置している。またこの電源線 1 6 及び 1 7 の供給も、同じ B 方向から行うことにより、外部から表示装置へ配線する経路においても、クロックラインとビデオラインとの間に電源線が配置されるようにしている。

【 0 0 1 9 】

さらに第 2 のノイズ対策として、クロックライン 1 2 と 1 3 , 1 4 と 1 5 をそれぞれ交差させている。これは次のような理由による。クロックライン 1 2 ~ 1 5 とシフトレジスタ 1 1 とは、ライン 5 1 ~ 5 4 , 5 5 ~ 5 8 , により接続されている。このライン 5 1 ~ 5 4 , 5 5 ~ 5 8 , にはそれぞれ寄生容量が存在し、クロックが反転する際にカップリングノイズが発生させる。このノイズを相殺させるには、それぞれ極性が逆で位相が 1 8 0 度ずれているクロックパルス C L 1 と C L 1 , C L 2 と C L 2 とで同じタイミングでノイズが発生するようにすればよい。

【 0 0 2 0 】

このため、クロックライン 1 2 と 1 3 とを交差させ、クロックライン 1 4 と 1 5 とを交差させている。これにより、クロックライン 1 2 に接続されたライン 5 1 とクロックライン 1 3 に接続されたライン 5 6 , クロックライン 1 2 に接続されたライン 5 5 とクロックライン 1 3 に接続されたライン 5 2 のそれぞれの長さが一致する。同様に、クロックライン 1 4 に接続されたライン 5 3 とクロックライン 1 5 に接続されたライン 5 8 , クロックライン 1 4 に接続されたライン 5 7 とクロックライン 1 5 に接続されたライン 5 4 のそれぞれの長さが一致する。この結果、各クロックパルスの極性が反転する際に生じるノイズ

10

20

30

40

50

が相殺される。

【 0 0 2 1 】

このような二つのノイズ対策を施したことにより、ビデオライン 1 8 ~ 2 0 にクロックライン 1 2 ~ 1 5 のノイズが入り込むことなく、信号線 X 1 , X 2 , X 3 , X 4 , に映像信号 V 1 ~ V 3 を適切なタイミングで書き込むことができる。

【 0 0 2 2 】

上述した実施例は一例であり、本発明を限定するものではない。例えば、クロックパルスと映像信号とが、Xドライバに同じ方向から供給されればよく、実施例に施されているようなノイズ対策が常に必要であるとは限らない。また他のノイズ対策が施されたものであってもよい。

10

【 0 0 2 3 】

以上説明したように本発明の表示装置は、信号線を駆動するドライバ回路にクロックパルスを供給する方向と映像信号を供給する方向とが一致しているため、ある信号線におけるクロックパルスの波形が徐々にだれて行っても、同様にその信号線に書き込むべき映像信号の波形も同じ方向に向かうについてだれていくため、信号線に映像信号を書き込んで行くタイミングにずれが生じるのが防止され、画面上でドットのずれや色ずれ等が発生せず、均一で高精細な画質を実現することができる。

【図面の簡単な説明】

【 0 0 2 4 】

【図 1】本発明の一実施例による表示装置の構成を示す配線図

20

【図 2】従来の表示装置の構成を示す配線図

【図 3】本発明の表示装置に用いることができるクロックパルスと映像信号の波形を示すタイミングチャート

【符号の説明】

【 0 0 2 5 】

1 1 . . . シフトレジスタ

1 2 ~ 1 5 . . . クロックライン

1 6 , 1 7 . . . 電源線

1 8 ~ 2 0 . . . ビデオライン

S W 1 ~ S W 4 . . . アナログスイッチ T F T

30

X 1 ~ X 4 . . . 信号線

Y 1 ~ Y 3 . . . 走査線

1 0 . . . Xドライバ

2 1 . . . Yドライバ

2 2 . . . T F T

2 3 . . . 画素電極

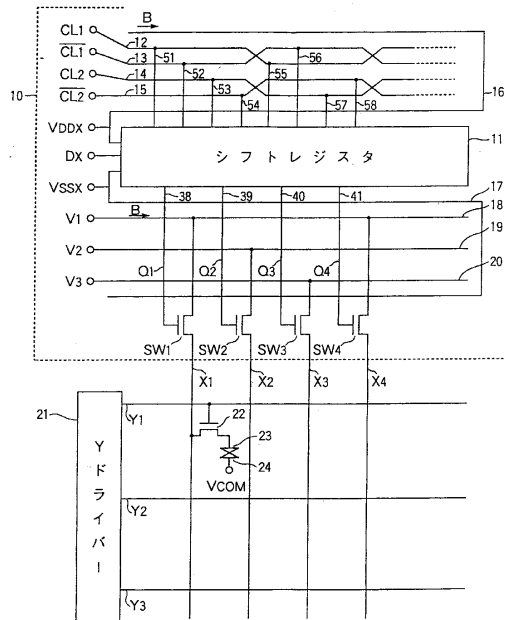
2 4 . . . 対向電極

C L 1 , C L 1 , C L 2 , C L 2 . . . クロックパルス

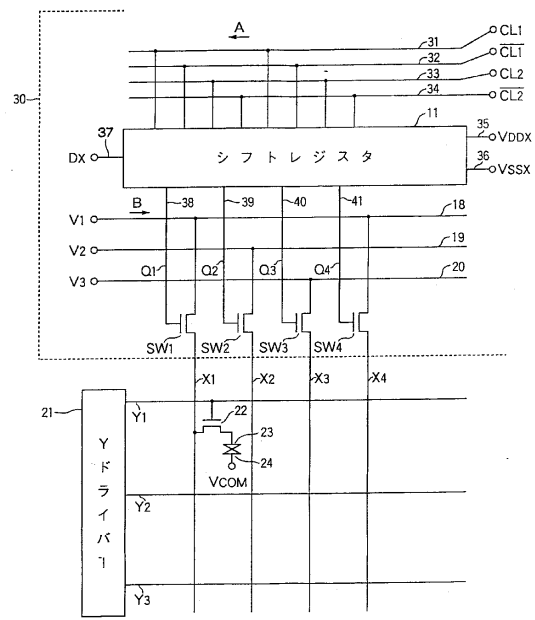
V 1 ~ V 3 . . . 映像信号

40

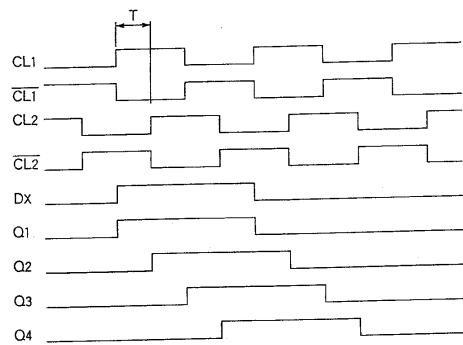
【図 1】



【図 2】



【図 3】



---

フロントページの続き

(51) Int.Cl. F I  
G 0 9 G 3/20 6 2 1 M  
G 0 9 G 3/20 6 2 3 A  
G 0 9 G 3/20 6 4 2 A  
G 0 9 G 3/36

(56) 参考文献 特開昭 5 7 - 2 4 5 9 2 ( J P , A )  
特開平 1 - 2 8 9 9 1 7 ( J P , A )

(58) 調査した分野(Int.Cl. , DB名)  
G 0 2 F 1 / 1 3 3 5 0 5  
G 0 2 F 1 / 1 3 3 5 5 0  
G 0 2 F 1 / 1 3 6 8  
G 0 9 F 9 / 3 0 3 3 8  
G 0 9 G 3 / 2 0 6 1 1  
G 0 9 G 3 / 2 0 6 2 1  
G 0 9 G 3 / 2 0 6 2 3  
G 0 9 G 3 / 2 0 6 4 2  
G 0 9 G 3 / 3 6